

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-327991

(43)Date of publication of application : 13.12.1996

(51)Int.Cl. G02F 1/1333  
G02F 1/136

(21)Application number : 08-066635

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.03.1996

(72)Inventor : FUKUNAGA YOKO  
TSUJI YOSHIKO  
IKEDA MITSUSHI

(30)Priority

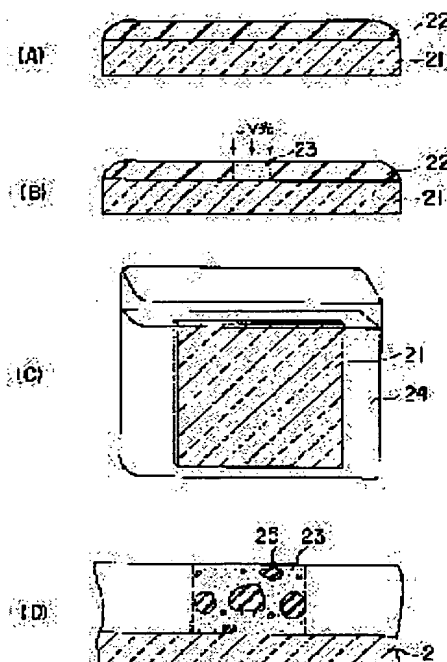
Priority number : 07 74320 Priority date : 31.03.1995 Priority country : JP

## (54) SUBSTRATE FOR DISPLAY DEVICE AND LIQUID CRYSTAL DISPLAY USING THE SAME AND ITS PRODUCTION

(57)Abstract:

**PURPOSE:** To obtain a low-cost liquid crystal display device which is applicable to liquid crystals of a high-speed response mode and is applicable to a large-screen display by using a substrate for a display device including switching elements and a function layer composed of an org.-inorg. hybrid glass on a substrate.

**CONSTITUTION:** The substrate 21 for the display device includes the switching elements and the function layer at least partly composed of the org.-inorg. hybrid glass on the substrate. The function layer is formed by patterning the parts having  $\geq 2$  kinds of the functions varying in electrical properties or optical properties in one layer. The material of these parts consists of the org.-inorg. hybrid glass. The method for forming the patterns on the function layer is executed by applying a resist 22 on the substrate (array substrate) 21 for the display device, irradiating the desired parts (the parts to be imparted with the functions) with UV rays to form latent image on the resist. The array substrate 21 is then dipped into a dipping liquid 24 and the array substrate 21 is heated after this dipping stage to selectively vitrify the exposed parts to form oxide 25.



LEGAL STATUS

[Date of request for examination] 30.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3476990

[Date of registration] 26.09.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The substrate for displays characterized by providing the switching element prepared on the substrate, and the stratum functionale by which at least the part is constituted from organic-inorganic hybrid glass.

[Claim 2] The liquid crystal display characterized by providing the liquid crystal layer prepared between the array substrate with which at least the switching element and the part which were prepared on the substrate contain the stratum functionale which consists of organic-inorganic hybrid glass, the opposite substrate arranged so that said array substrate may be countered, and said array substrate and said opposite substrate.

[Claim 3] The process which forms a switching element on a substrate, and the process which forms a polysilane layer on said substrate, The process which irradiates ultraviolet rays at said polysilane layer, and forms the latent image of a pattern in the exposure section, The manufacture approach of the substrate for displays characterized by immersing this substrate in dipping liquid and providing the process which makes the ingredient of said dipping liquid permeate said exposure section, and the process which is made to vitrify said exposure section with heating, and is used as organic-inorganic hybrid glass.

[Claim 4] The process which forms a switching element on a substrate, and the process which forms a polysilane layer on said substrate, The process which irradiates ultraviolet rays at the electrical installation part of the pixel electrode in said polysilane layer, and said switching element, and forms the latent image of a pattern in the exposure section, This substrate is immersed in the dipping liquid containing at least one chosen from the group which consists of a conductive particle, an In complex, and an Sn complex. The process which makes the ingredient of said dipping liquid permeate said exposure section, and the process which forms the current carrying part which is made to vitrify said exposure section with heating, and consists of organic - inorganic hybrid glass, The manufacture approach of the substrate for displays characterized by providing the process which forms a pixel electrode on the stratum functionale containing said current carrying part.

[Claim 5] The process which forms a switching element on a substrate, and the process which forms a polysilane layer on said substrate, Ultraviolet rays are irradiated at the part used as the pixel electrode in said polysilane layer. This substrate is immersed in the dipping liquid containing at least one chosen from the group which consists this substrate of a conductive particle, an In complex, and an Sn complex. The manufacture approach of the substrate for displays characterized by providing the process which makes the ingredient of said dipping liquid permeate said exposure section, and the process which forms the pixel electrode which is made to vitrify said exposure section with heating, and consists of organic - inorganic hybrid glass.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach at the liquid crystal display list using the substrate for displays and it which have a switching element.

[0002]

[Description of the Prior Art] In recent years, since the active-matrix mold liquid crystal display (LCD) which uses the thin film transistor (TFT) using the amorphous silicon (a-Si) film as a switching element, and has it for every pixel is high definition, it attracts attention, and it is spreading widely as displays, such as a personal computer. Furthermore, if the thing of high definition and a big screen can be realized by the low price, it may be able to enter into the flat TV (flat mold television) field, and is expected greatly. In order for an active-matrix mold liquid crystal display to place with CRT and to replace, it is necessary to consider as a high-speed response more, for low-pricing to be attained by the big screen of a 15 inch class, and not to spoil the description of the low power as a description of a liquid crystal display so that it can be equal to a movie display.

[0003] Although it can answer from the present TN (Twisted Nematic) method (~ 100ms) about high-speed response-ization at high speed by adopting PT (pi-Twist) method, a HAN (Hybrid Alignment Nematic) method, an AFLC (Antiferroelectric Liquid Crystals) method, and an IPS (In Plane Switching) method, these methods contain the technical hurdle that cel gap control precision is severer than the present TN method.

[0004] About big screen-ization, there is a problem that the alignment gap between an array substrate (substrate which has a TFT array), and an opposite substrate appears so notably that it becomes the display of a big screen, with the conventional liquid crystal display in which the color filter and the black matrix were formed on the opposite substrate. In order to prevent this, it is necessary to enlarge the black matrix of wrap protection-from-light nature for the poor doubling gap section compared with the former. Enlarging a black matrix part leads to making a numerical aperture low, and since sufficient brightness cannot be taken if a numerical aperture is low, and the brightness of a back light is not enlarged, it cannot answer the demand to low-power-izing as a result.

[0005] Moreover, since there are many routing counters and there are many ingredients which become useless as long as the conventional pigment-content powder method which is a process of the present most common color filter is used, the yield does not go up but there is also a problem that a manufacturing cost does not fall.

[0006]

[Problem(s) to be Solved by the Invention] This invention can be made in view of the above-mentioned point, and can be applied to the liquid crystal of high-speed answer mode, and it can apply to a big screen display, and aims at offering the liquid crystal display which is moreover a low price.

[0007]

[Means for Solving the Problem] This invention provides with the manufacture approach the substrate for displays possessing the switching element prepared on the substrate, and the stratum functionale by which it is formed on said substrate and at least the part is constituted from organic-inorganic hybrid

<sup>a)</sup> glass' and the liquid crystal display using this, and a list.

[0008] As for the substrate for indicating equipments of this invention, the stratum functionale is prepared on (1) switching element. The stratum functionale is prepared on consisting-of [ the pixel part in the stratum functionale ]-conductive organic-inorganic hybrid glass (2) switching element. A pixel electrode is prepared on the stratum functionale and the pixel part in the stratum functionale consists of insulating organic-inorganic hybrid glass. The stratum functionale is prepared between a consisting-of [ the connection part of the pixel electrode and switching element in the stratum functionale ]-conductive organic-inorganic hybrid glass or conductive polymers (3) storage-capacitance line, and a pixel electrode. The part pinched by the storage capacitance line and pixel electrode in the stratum functionale consists of insulating organic - inorganic hybrid glass, and organic-inorganic hybrid glass functions as an insulator layer of the capacitor for capacity are recording. Or the stratum functionale is prepared between the gate lines and semi-conductor layers in a switching element. The part pinched by the gate line and semi-conductor layer in the stratum functionale consists of insulating organic-inorganic hybrid glass. Carry out thing (4) switching \*\*, and the stratum functionale is prepared upwards. organic-inorganic hybrid glass functions as gate dielectric film -- An insulator layer is prepared on the stratum functionale, a pixel electrode is prepared on an insulator layer, and the pixel part in the stratum functionale is characterized by consisting of insulating organic-inorganic hybrid glass.

[0009]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is concretely explained with reference to a drawing.

[0010] In order for a color liquid crystal display to replace CRT, it is required that a high-speed response is possible, that it is applicable to a big screen display, to be a low price, and not to spoil the low power which is the description of liquid crystal, but in order to satisfy these requirements, the following thing poses a problem. That is, since many of liquid crystal display methods corresponding to a high-speed response have severe gap control precision, they are securing gap control precision in a big screen, reducing reducing a routing counter and raising the yield and an ingredient, and maintaining a numerical aperture.

[0011] this invention person produced the liquid crystal display of the colorful TAON array structure of 15 inch size using PT, HAN, AFLC, and IPS as a display mode under such a situation using the pigment-content powder method which is a general color filter process that these problems should be solved.

[0012] Consequently, in any case, optical leakage arose in the field near [ in opening ] the black matrix section, and poor display nonuniformity arose in the boundary region of a screen. When the cause of this optical poor leakage was investigated, it turned out that it originates in the difference of the height of the color filter formed on the level difference of the color filter produced inevitably, i.e., TFT and the black matrix section, in case it forms by the pigment-content powder method, and the color filter formed in the other field. Since especially the above-mentioned means of displaying was sensitive to the cel gap, the effect by this level difference appeared notably.

[0013] Moreover, when it turned out that variation is in a TFT property (electrical potential difference to which ON/OFF of the TFT is carried out) when the cause of poor nonuniformity is investigated and this cause was investigated, it turned out that it originates in the color filter making process by the pigment-content powder method. That is, by the pigment-content powder method, since it is necessary to perform resist spreading → exposure → development → baking about the coloring section and the black matrix section of R, G, and B, it is possible that the burden to TFT is large. Moreover, that it is a big screen also tends to cause temperature-distribution generating in a process, and it is considered the factor which variation produces in a TFT property.

[0014] Furthermore, since there were many routing counters, there were also many ingredients which the yield does not go up and become useless, and, as for color filter production using a pigment-content powder method, they were found by that a price does not fall.

[0015] Then, the approach by which this invention persons are indicated by JP,5-188215,A etc., Namely,

the immersion to the dipping liquid which contains exposure, a color, and a pigment, using polysilane as coloring equipments, And it devised newly that the approach of forming the color filter which consists of organic-inorganic hybrid glass formed the stratum functionale by this approach on an array substrate paying attention to excelling in surface smoothness and moreover being able to reduce a process and an ingredient by repeating heating.

[0016] Then, the liquid crystal display of the 15 inches high-speed answer mode which prepared the color filter layer by the above-mentioned approach on the array substrate was produced. When this liquid crystal display was evaluated, the optical poor leakage and poor nonuniformity which were observed in what prepared the color filter layer by the pigment-content powder method on the array substrate were lost. However, the following four new problems arose.

[0017] The 1st problem is that formed the color filter layer with a thickness of 1.5 micrometers which shows insulation on the pixel electrode using the conventional TFT substrate, the effective voltage impressed to liquid crystal for the electrical potential difference distributed to a color filter layer when a liquid crystal cell is made to constitute and drive using this fell, and driver voltage has gone up from conventional 5V to 10V.

[0018] When the 2nd problem formed the ITO film in the color filter layer front face by sputtering, etches this and forms a pixel electrode pattern after it formed the through hole in the color filter layer in order to solve the 1st problem, it is that poor contact arose between the switching elements and pixel electrodes in a through hole, and that side etching arises and micro processing becomes impossible.

[0019] This invention conquers the above-mentioned trouble newly found when [ at which organic-inorganic hybrid glass is included on the TFT array substrate mentioned above ] carrying out the stratification, and can apply it to high-speed answer mode, and a big screen display is offering the substrate for a liquid crystal display and displays realizable by the low price.

[0020] This invention offers the substrate for displays possessing the switching element prepared on the substrate, and the stratum functionale by which at least the part is constituted from organic-inorganic hybrid glass.

[0021] In this invention, the stratum functionale means a layer with the function as optical properties, such as the function as electric properties, such as conductivity, insulation, and a dielectric constant, coloring nature, transparency, a refractive index, condensing nature, and optical diffusibility. Moreover, it is also effective to have these two or more properties in coincidence. In this invention, patterning of the part which has two or more sorts of functions in which an electrical property differs from optical property, in one layer is carried out, and it is characterized by the quality of the material of the part consisting of organic - inorganic hybrid glass.

[0022] As a switching element, a thin film transistor, for example, TFT (Thin Film Transistor) and MIM (Metal Insulator Metal), can be used.

[0023] The forward stagger mold which has a gate electrode in the opposite side of a substrate, and has a source electrode and a drain electrode in the opposite side of a gate electrode as structure of TFT at the time of using a thin film transistor (TFT) as a switching element, and a gate electrode are in a substrate side, and the reverse stagger mold which has a source electrode and a drain electrode in the opposite side of a gate electrode is mentioned. Furthermore, the back channel mold from which a-Si and n+a-Si on a channel are removed to coincidence, and i-stopper mold which has an etching stopper on a-Si are mentioned also in a reverse stagger mold. These types of any mold can be used.

[0024] The semi-conductor layer used for TFT may be formed not only using a-Si but using p-Si and CdSe. Moreover, not only SiOx but SiNx is sufficient as the insulator layer on the data line, and both laminating is sufficient as it.

[0025] Storage capacitance is formed in each pixel of a TFT substrate so that it may become liquid crystal capacity and juxtaposition in equal circuit. Storage capacitance (Cs and Storage Capacitor) is a capacitor which carries out the role for reducing the effect of the signal-level dependency of liquid crystal capacity, or parasitic capacitance, making the time constant of a holding circuit increase, and

guaranteeing image quality, and one electrode of a capacitor serves as the pixel electrode.

[0026] The substrate for displays in this invention includes Cs on-gate structure shown in the independent Cs structure shown in drawing 2 (A), and drawing 3 (A). These equal circuits are shown in drawing 2 (B) and drawing 3 (B), respectively. In addition, in drawing 2 (A) and drawing 3 (A), a reference mark 221 shows a gate line, 222 shows a signal line, 223 shows Cs line, and 224,225 shows a pixel electrode.

[0027] Here, a pixel electrode is an electrode for a liquid crystal drive. In the transparency mold mode display of those other than IPS, as such an electrode material The transparence electrical conducting material of a metal oxidation system is effective. SnO<sub>2</sub> (Nesa glass), the non dope In<sub>2</sub>O<sub>3</sub> and SnO<sub>2</sub> a dope In<sub>2</sub>O<sub>3</sub> (ITO), ZnO, or them — aluminum<sub>2</sub>O<sub>3</sub>, AlF<sub>3</sub>, Ga<sub>2</sub>O<sub>3</sub>, and Y<sub>2</sub>O<sub>3</sub> etc. — what was doped in the minute amount can be used. Also in it, it is SnO<sub>2</sub> at 5 % of the weight. Doped In<sub>2</sub>O<sub>3</sub> Especially the thing to use is effective. As the formation approach of a pixel electrode, approaches, such as the sputtering method, the EB method, and a sol-gel method, can be used.

[0028] In this invention, a ceramic substrate, a resin substrate, a metal substrate, a glazed ceramic substrate, a resin fat covering metal substrate, etc. can be used as a substrate. It is desirable to use especially low alkali, alkali free glass or the polycarbonate (PC) that is a flexible substrate, polyether sulphone (PES), etc. as a substrate ingredient.

[0029] In this invention, organic-inorganic hybrid glass means what the organic molecule is distributing in inorganic glass. The material of the inorganic glass of organic-inorganic hybrid glass is described. Inorganic glass is fundamentally constituted by the metallic oxide. Also in it, it sets to this invention. As a material of inorganic glass SiO<sub>2</sub>, SnO<sub>2</sub>, GeO<sub>2</sub>, B<sub>2</sub>O<sub>3</sub>, and ZnO<sub>2</sub>, aluminum<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, Ti<sub>2</sub>O<sub>3</sub>, BaTiO<sub>3</sub>, Cd<sub>2</sub> SnO<sub>4</sub>, Cu<sub>2</sub>O, Ag<sub>2</sub>O, SrTiO<sub>3</sub>, LaCrO<sub>3</sub>, LaCrO<sub>3</sub>, and WO<sub>3</sub> Simple substances or those mixture are used. Especially, they are SiO<sub>2</sub>, GeO<sub>2</sub>, and SnO<sub>2</sub>. A certain thing has a desirable content more than 30 volume %.

[0030] As a material of the inorganic glass which has conductivity, SnO<sub>2</sub> (Nesa glass), The non dope In<sub>2</sub>O<sub>3</sub> and SnO<sub>2</sub> A dope In<sub>2</sub>O<sub>3</sub> (ITO), ZnO or them — aluminum<sub>2</sub>O<sub>3</sub>, AlF<sub>3</sub>, Ga<sub>2</sub>O<sub>3</sub>, and Y<sub>2</sub>O<sub>3</sub> etc. — the thing doped in the minute amount or them, and SiO<sub>2</sub> ZrO<sub>2</sub> It is effective to use mixture.

[0031] How to form in below the pattern which has a predetermined function in the stratum functionale is explained. As are shown in drawing 1 (A), and a resist 22 is applied on the substrate 21 for indicating equipments (array substrate) and it is shown in drawing 1 (B) As ultraviolet rays are irradiated at a desired part (part which gives a function), a latent image is formed in a resist and it is shown in drawing 1 (C) As it is immersed and the array substrate 21 is shown in dipping liquid 24 at drawing 1 (D), after this immersion process, heat the array substrate 21, the exposure section is made to vitrify alternatively, and it considers as an oxide 25. In this approach, dipping liquid invades into an exposure part alternatively, and it vitrifies in the form where the exposure part incorporated the dipping liquid presentation with baking. Furthermore, ultraviolet-rays exposure is carried out, the latent image of another pattern is formed in the part which has not vitrified a resist, and the field which repeats the process which immerses for it and bakes a substrate in different dipping liquid from said dipping liquid, and has a desired electrical property and optical property is formed. It is also effective to consider as the approach of making dipping liquid invading quickly, and to perform electrodeposited processing further in the condition that the array substrate was immersed in dipping liquid.

[0032] The presentation of dipping liquid is suitably chosen with the property given to the exposure section. For example, in giving insulation to the exposure section, as dipping liquid, it uses water, the sol Ringer's injection containing TEOS (tetra-EKITO xylan), or electrodeposited liquid. In this case, it is SiO<sub>2</sub> to the exposure section. It is formed. Moreover, in giving conductivity to the exposure section, as dipping liquid, it uses the liquid containing a conductive particle, In complex, and Sn complex. Moreover, in coloring the exposure section, as dipping liquid, it uses the sol Ringer's injection or the electrodeposited liquid containing a pigment. Furthermore, in adjusting the dielectric constant of the exposure section, as dipping liquid, it uses the liquid containing other metal complexes.

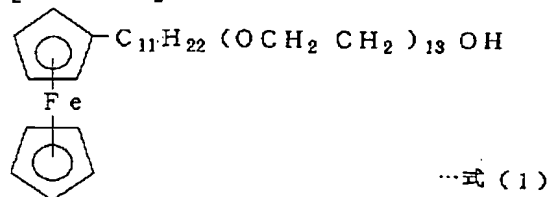
[0033] Here, as a metal complex, a metal alkoxide, metal acetylacetonate, metal carboxylate, etc. can be used. As an ingredient which forms an ITO electrode especially, it is effective to use indium acetylacetonate (In (COCH<sub>2</sub> COCH<sub>3</sub>)) and tin acetylacetonate (Sn (COCH<sub>2</sub> COCH<sub>3</sub>)).

[0034] The sol-gel method and electrodeposition process which are in below in this invention are described. In a sol-gel method, it uses that a sol solution invades into the exposure section alternatively using what the metallic-oxide particle dissolved as dipping liquid when hydrolysis and the polymerization of a metal complex advanced (sol solution).

[0035] In an electrodeposited process, it uses that the constituent of the micell electrolytic solution invades in several 10 seconds (it is several minutes in immersion) only for the part to which UV irradiation of the above-mentioned resist was carried out, and the electrical potential difference was impressed (it is 5-10V to a counterelectrode), using the micell electrolytic solution as dipping liquid. The location which impresses an electrical potential difference is performed by controlling the electrical potential difference impressed to choosing a gate line and a signal line and a gate line, and a signal line. It is effective to use the water solution into which the amphiphilic PEG mold surface activity ferrocene shown in a formula 1 and the electrolyte went as this micell electrolytic solution. Moreover, in order to promote invasion of the constituent of the micell electrolytic solution, it is also effective to add an acetonitrile, alcohol, etc. to an electrolytic solution at a rate below 20 volume %.

[0036]

[Formula 1]



[0037] Moreover, the approach of spraying liquid instead of the above-mentioned dipping process using the ink injection technique used for record techniques, such as the ink jet method, etc. can be used. When the approach by the ink jet is adopted, and dip coating is used using the polysilane of low molecular weight, the turbulence of the surface layer by the dissolution of the polysilane to the inside of dipping liquid (irregularity) often seen and generation of a pinhole can be prevented.

[0038] That from which the polarity (a hydrophilic property and hydrophobicity) changes with the UV irradiation processes which are back processes as a resist used for this invention is used. A principal chain is made into polysilane (Si-Si) and Pori Ching (Sn-Sn), and, specifically, that by which hydrogen, an alkyl group, an aryl group, the benzene ring, etc. were introduced into the side chain is used.

[0039] A resist is the following, and is made and vitrified. If it explains taking the case of polysilane, it will change to a hydrophilic property (-SiOH) by cutting a principal chain and reacting with the oxygen in air, and water by exposing hydrophobic polysilane (-Si-Si-) first. If immersed in dipping liquid in this condition, dipping liquid infiltrates only into the part of a hydrophilic property. Then, a hydrophilic part solidifies as silica glass (-SiOH+-SiOH->-Si-O-Si-) by heat-treating this (baking). At this time, the presentation of the substituent of a side chain and dipping liquid is embedded into silica glass. The part which passed through this process once serves as silica glass stable with light or heat.

[0040] When forming a polysilane layer, it is carried out by using as a solution with a solvent the resin mentioned above, and applying it, but if it is possible to form a uniform polysilane layer, there will be no limit in the method of application. As an approach of forming a uniform polysilane layer, a spin coat method, a nozzle coating method, etc. are desirable.

[0041] In this invention, when making the stratum functionale into coloring nature, there are black, R, G, B, etc. as a color. A black field is formed in a thin film transistor and the location (the upper and lower sides of wiring are not asked) corresponding to the location of the wiring, and is called a black matrix. R, G, and area B are formed in the location corresponding to the location of a pixel electrode. In this



invention, even if it is the structure where the black matrix was formed, the location corresponding to the location of a pixel electrode may be transparent and colorless BM on-array structure, R, G, and area B were formed in the location corresponding to a pixel electrode, BM may be the structure on an opposite substrate and BM field, and R, G and area B were formed, \*\* is good.

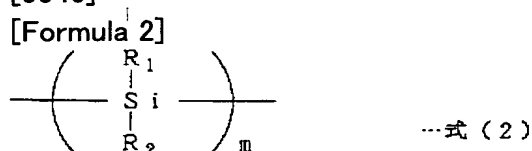
[0042] When making the stratum functionale into coloring nature, it is made to color it R, G, and B (or Y, C, M) by distributing a colored organic molecule on transparent and colorless inorganic glass. In BM (black matrix), not only an organic molecule but the thing for which a black inorganic pigment is used is effective. By the shape of a molecule, you may be distributing in inorganic glass and the organic molecule may be distributed as floc. However, when distributing in inorganic glass as floc, as for the mean particle diameter, it is desirable in R, G, and area B that it is 0.4micro or less in 0.2micro or less and the BM section. Moreover, when distributing in inorganic glass by the shape of a molecule, in order to prevent the elution of the molecule to liquid crystal, as for a field with a depth of 0.01 micrometers, it is more desirable than a front face not to include the molecule. When in other words distributing by the shape of a molecule, it is desirable to prepare a transparent and colorless protective coat on it.

[0043] Next, the material for coloring is described. As an organic molecule, it is also effective to also use a color and to use a pigment. When using a pigment, as for the mean particle diameter, it is desirable that it is 0.4 micrometers or less in 0.2 micrometers or less and the BM section in R, G, and area B. Moreover, it is desirable to have the high thing of thermal resistance and lightfastness, such as a phthalocyanine system, an anthraquinone system, an iso indoline system, and a dioxazine system, as a molecule frame. As for the content of a coloring material, it is desirable that it is below 40 volume % to inorganic glass. Moreover, it is also effective in the titanium oxide (TiO<sub>2n-1</sub>) which is an inorganic pigment at the BM section, and it to make a blacking wash deep using what carried out the nitrogen dope.

[0044] The following are mentioned as polysilane used for this invention.

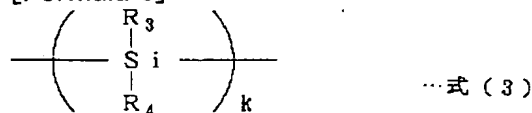
[0045]

[Formula 2]



[0046]

[Formula 3]



[0047] (R1, R2, R3, and R4 are the aliphatic hydrocarbon residue which is not permuted [ a permutation the same or of a different kind or ], alicyclic hydrocarbon residue, aromatic hydrocarbon residue, hydrogen, an alkoxyl group, or an acyloxyl radical mutually among a formula, and m and k are integers) Polysilane is organic solvent fusibility and just forms the about 0.1–5–micrometer uniform film by the thickness after prebaking. If the molecular weight becomes small, since thermal resistance and chemical resistance will fall, when using it by the operating environment of which especially thermal resistance and chemical resistance are required, that [ polysilane's ] from which the molecular weight becomes 10,000 or more is desirable.

[0048] Moreover, it sets at the above–mentioned formula 2 and a ceremony 3, and is R1, R2, and R3. And R4 Methyl group, To n–propyl group, n–butyl, and n–, a KISHIRU radical, a phenylethyl radical, Aliphatic hydrocarbon residue which is not permuted [ a permutation like a trifluoro propyl group and a fluoro hexyl group or ]; p–tolyl group, A permutation like a biphenyl radical and a phenyl group, or non–permuted aromatic hydrocarbon residue; A cyclohexyl radical, They are the radical chosen respectively independently of the group which consists of alicyclic hydrocarbon residue which is not permuted [ a

permutation like a methylcyclohexyl radical, or ] or hydrogen, an alkoxy group, or an acyloxy radical. As such a suitable example, it is R1. And R3 It is a methyl group. R2 and R4 The polyphenyl methylsilane which is a phenyl group, and R1 And R3 It is a methyl group. R2 It is a phenyl group and is R4. The polyphenyl methyl / methyl trifluoro propyl silane which is a trifluoro propyl group, R1 And R3 It is hydrogen and is R2. And R4 The poly hydronalium phenylsilane which is a phenyl group, and R1 are hydrogen, and it is R3. It is a methyl group and is R2. And R4 The poly hydronalium phenylmethyl phenylsilane which is a phenyl group is mentioned.

[0049] In polysilane, it is the purpose which improves the thermal resistance of the stratum functionale made from polysilane, chemical resistance, and a mechanical strength within limits which do not spoil a function, or a cross linking agent and other matter may be added for the purpose of uniform conductive grant.

[0050] As a cross linking agent which can be added to polysilane, a silicone rubber constituent including the silicone oil which has a silanol group, a 3 organic-functions silane like acetoxysilane, an oxime silane, and an amino oxy-silane, and a metal catalyst like a tin compound and a platinum compound can be used for both ends like poly dimethyl SHIROKISANJIO 1 RU. The desirable presentation ratios of this silicone rubber constituent are the silicone oil 100 weight section, 3 organic-functions silane 1 – 10 weight sections, and the metal catalyst 0.05 – 1 weight section. The desirable addition to the polysilane of this silicone rubber constituent is 0.1 – 20 weight section to the polysilane 100 weight section. It is 1 – 10 weight section especially preferably. Moreover, as matter which can be added to polysilane, ester system compounds, such as phthalic ester, aromatic series carboxylate, aliphatic series ester, ester of polyhydric alcohol, and phosphoric ester, are mentioned. The desirable compounding ratio to the polysilane of these matter is 10 – 50 weight section to the polysilane 100 weight section, and is 25 – 35 weight section especially preferably. Addition of the ester compound to polysilane can raise the sensibility to ultraviolet rays, and can aim at compaction of the exposure time while it raises the mechanical strength of the stratum functionale.

[0051] In this invention, in order to secure the switch-on of the external terminal for connecting a liquid crystal display with an external component, it is necessary to perform various processings. That is, as shown in drawing 4 , it is necessary to secure the switch-on on each pad 231a in the external terminal (pad group field) 231 of a gate line or a signal line. since -- organic-inorganic hybrid glass is removed. In addition, in drawing 4 , a reference mark 232 shows a substrate, 233 shows BM edge, 234 shows the orientation film, 235 shows a counterelectrode, and 236 shows a sealant.

[0052] In the pad group field 231, as are shown in drawing 5 R> 5, and washing may remove all the resists on the pad group field 231 and it is shown in drawing 6 As washing removes only the resist on each pad 231a, the field between each pad 231a may be constituted from insulating organic-inorganic hybrid glass 231b and it is shown in drawing 7 Conductive organic-inorganic hybrid glass 238 may be formed on each pad section 231a, and the field between pad section 231a may consist of insulating organic-inorganic hybrid glass 231b.

[0053] As shown in drawing 8 (A), after applying the polysilane resist 237 on the array substrate 232, a solvent-cleaning process removes a polysilane resist and the structure shown in drawing 5 is formed, as shown in drawing 8 (B).

[0054] The structure shown in drawing 6 is formed as follows. As are shown in drawing 9 (A), and the polysilane resist 237 is applied on the array substrate 232 and it is shown in drawing 9 (B), from the rear face of the array substrate 232, ultraviolet rays are irradiated, are exposed, and a latent image 239 is formed. Subsequently, as it dips in the dipping liquid for insulation and is shown in drawing 9 (C), gap 231b of current-carrying-part 231a is vitrified by baking this. Then, as shown in drawing 9 (D), a solvent-cleaning process removes a polysilane resist.

[0055] The structure shown in drawing 7 is formed as follows. As are shown in drawing 10 (A), and the polysilane resist 237 is applied on the array substrate 232 and it is shown in drawing 10 (B), from the rear face of the array substrate 232, ultraviolet rays are irradiated, are exposed, and a latent image 239

is formed. Subsequently, as it dips in the dipping liquid for insulation and is shown in drawing 10 (C), gap 231b of current-carrying-part 231a is vitrified by baking this. Subsequently, as shown in drawing 10 (D), from the front face of a glass substrate 232, ultraviolet rays are irradiated, are exposed, and a latent image 239 is formed. Subsequently, as shown in drawing 10 (E), conductive organic-inorganic hybrid glass 238 is formed on current-carrying-part 231a by being immersed in the dipping liquid for conductivity and baking this substrate. Although formation of the pad section described above may be performed at an independent process, when routing counter reduction is taken into consideration, it is desirable to carry out to coincidence at the process which forms the stratum functionale.

[0056] The stratum functionale is prepared on a switching element and invention of the 1st of this invention is characterized by the pixel part in the stratum functionale consisting of conductive organic-inorganic hybrid glass.

[0057] In the 1st invention, the pixel electrode electrically connected to the switching element may be constituted by the color pixel electrode which serves both as the pixel electrode and color filter which consisted of organic-inorganic hybrid glass. That is, you may have conductivity and coloring nature as a property of the pixel part of the stratum functionale. It becomes unnecessary thereby, to newly form the ITO film as a pixel electrode on the stratum functionale. Moreover, the problem of dispersion in the ITO membraneous quality for every color filter color and the problem of side etching are solvable.

[0058] In the 1st invention, formation of the stratum functionale is performed as follows. TFT is formed on a substrate and a resist is applied on it. Subsequently, a latent image is formed in the pixel section by irradiating ultraviolet rays alternatively. Subsequently, this TFT substrate is immersed in the dipping liquid containing at least one side of In complex and Sn complex. Subsequently, this TFT substrate is heated and the pixel section is vitrified alternatively.

[0059] In this approach, the oxide of In and Sn is incorporated by the pixel section, and this becomes conductivity. It can consider as a color pixel electrode by paying the charge of coloring material to a dipping liquid presentation.

[0060] Moreover, the method of impressing an electrical potential difference to a pixel electrode, heating this after that, and vitrifying the pixel section is also effective by making TFT into an ON state and applying an electrical potential difference to a signal line, dipping a TFT substrate in the electrodeposited liquid containing In and Sn, after forming a latent image in the pixel section using TFT with a pixel electrode. Only as for the part to which the latent image was formed in and the electrical potential difference was impressed, in this approach, dipping liquid smarts quickly. For this reason, the pixel which dipping liquid permeates can be chosen by choosing TFT which impresses an electrical potential difference. Moreover, the time amount which a process takes can be shortened sharply.

[0061] Invention of the 2nd of this invention is characterized by preparing the stratum functionale on a switching element, preparing a pixel electrode on the stratum functionale, for the pixel part in the stratum functionale consisting of insulating organic-inorganic hybrid glass, and the connection part of the pixel electrode and switching element in the stratum functionale consisting of conductive organic-inorganic hybrid glass or conductive polymers.

[0062] It sets to the 2nd invention and is -5 % of the weight SnO<sub>2</sub> as a material of the inorganic glass of organic-inorganic hybrid glass as a wiring material between a pixel electrode and TFT (switching element). Doped In<sub>2</sub>O<sub>3</sub> Especially the thing to use is effective. Especially the thing for which what has a presentation similar to the material of a pixel electrode as a wiring material is used is desirable when obtaining ohmic contact.

[0063] The wiring section may be made to distribute a conductive particle further. This conductive particle means the fine particles of conductive submicron size, and carbon, silver, gold, etc. can be used as that ingredient. As a content of the conductive particle to organic-inorganic hybrid glass, it is desirable that it is 3 - 40 % of the weight. Furthermore, in order to reduce optical leak of TFT, it is also effective in a black particle (Tin O<sub>2n-1</sub>), for example, titanium oxide, and it to add what carried out the nitrogen dope.

[0064] Moreover, it is also effective to use a conductive polymer as a wiring material between a pixel electrode and TFT. As a conductive polymer here, the PORIISO thianaphthene as what carried out the anion dope of the polypyrrole, the poly thiophene, Pori (3-methylthiophene), the PORIISO naphth thiophene, and them as a black conductive polymer, and a transparency conductive polymer, the poly acenaphthene, etc. can be used (the 1st table).

[0065] In the 2nd invention, formation of the stratum functionale is performed as follows. TFT is formed on a substrate and a resist is applied on it. Subsequently, ultraviolet rays are irradiated alternatively at the wiring section of TFT and the pixel electrode formed at a back process. Subsequently, this TFT substrate is immersed in the dipping liquid (the conductive particle may be contained) containing at least one side of In complex and Sn complex. Subsequently, this TFT substrate is heated and the pixel section is vitrified alternatively. Finally, a pixel electrode is formed on organic-inorganic hybrid glass. In this approach, the oxide (further conductive particle) of In and Sn is alternatively incorporated by the wiring section of TFT and a pixel electrode, and this becomes conductivity.

[0066] Furthermore also in the 2nd invention, the same electrodeposition process as the 1st invention can be used. In this case, an electrodeposited process is performed, after exposing the wiring section alternatively and forming a latent image.

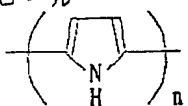
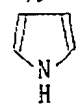
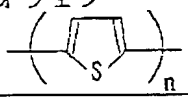

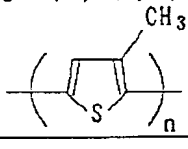
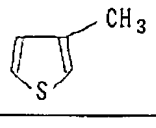
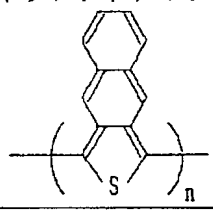
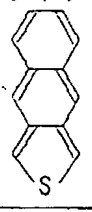
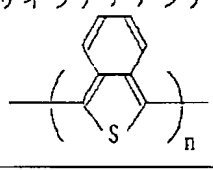
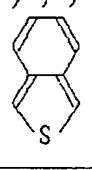
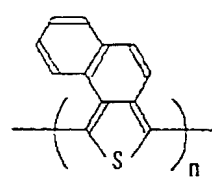
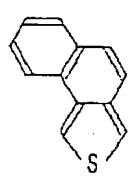
[0067] Moreover, as an approach of wiring a pixel electrode and TFT in the 2nd invention, the approach of applying a resist on an array substrate and exfoliating the resist of the wiring part of the pixel electrode and TFT in an array substrate, and making drive TFT, an array substrate being immersed in the electrolytic solution containing the monomer which forms a conductive polymer, and forming a conductive polymer in a wiring part can be used. In this approach, an oxidation reduction reaction progresses alternatively in a through hole part, and a through hole part is fill uped with a conductive polymer. As an approach of exfoliating a resist in the above-mentioned approach and forming a through hole, after exposing by the ultraviolet radiation of short wavelength from RIE or 280nm, the approach of melting an exposure part is in a developer.

[0068] Moreover, the monomer which forms a conductive polymer is a raw material which forms a conductive polymer by electrolytic polymerization, and polypyrrole, the poly thiophene, Pori (3-methylthiophene), a PORIISO naphth thiophene, PORIISO thianaphthene, and the poly acenaphthene are formed by electrolytic polymerization. Concretely, as a monomer, a pyrrole, a thiophene, 3-methylthiophene, an iso naphth thiophene, iso thianaphthene, and an acenaphthene correspond, respectively (the 1st table).

[0069]

[Table 1]

導電性高分子および対応するモノマー

導電性高分子	対応するモノマー	色
ポリピロール 	ピロール 	黒
ポリチオフェン 	チオフェン 	黒
ポリ(3-メチルチオフェン) 	3-メチルチオフェン 	黒
ポリイソナフトチオフェン 	イソナフトチオフェン 	黒
ポリイソチアナフテン 	イソチアナフテン 	透明
ポリアセナフテン 	アセナフテン 	透明

[0070] It is effective to use lithium chloride, tetrabutyl ammonium chloride, etc. as an electrolyte as an electrolytic solution, using water, acetonitriles, or those mixed liquor as a solvent. In addition, electrolytic polymerization means advancing a monomer → polymer and a polymerization reaction by the oxidation reduction reaction of a monomer in an electrode by dipping an electrode in the monomer which forms a conductive polymer, and the solution containing an electrolyte, and impressing an electrical potential difference to an electrode.

[0071] The stratum functionale is prepared between a storage capacitance line and a pixel electrode, the part pinched by the storage capacitance line and pixel electrode in the stratum functionale consists of insulating organic-inorganic hybrid glass, and invention of the 3rd of this invention is characterized by the functioning thing which organic-inorganic hybrid glass was considering as the insulator layer of the capacitor for storage capacitance.

[0072] In the 3rd invention, organic-inorganic hybrid glass functions as an insulating member of a storage capacitance line. In this case, it is good also considering a capacitor part as opening, and good also considering non-opening as a capacitor. In using the whole capacitor as opening, most electrodes for capacitors consist of transparent electrodes. Moreover, in order to secure resistivity sufficient in order to prevent a flicker, as for some electrodes, constituting from a metal is effective ( drawing 30 mentioned later - drawing 32 R> 2 ).

[0073] In the 3rd invention, thickness of the insulating member for Cs (insulator layer) is set to  $2.0 \times 1.0$  micrometers, the dielectric constant of the stratum functionale is made into the range of  $4.0 \times 0.5$ , and, as for the dielectric constant difference between pixels, it is desirable to carry out to less than  $\times 0.1$ . Fine tuning of a dielectric constant is performed by adjusting the dielectric constant of an inorganic square. This can be performed by changing the presentation of a metallic oxide. It carries out by specifically adjusting the rate of the raw material used as a desired metallic oxide. When using non-opening as a capacitor, it is effective in the viewpoint of process reduction to constitute a lower electrode from same metallic material as a gate line, and to form in a gate line and coincidence. In this case, as for the thickness of the insulator layer for Cs, it is desirable that it is 1.5 micrometers or less. furthermore, inorganic glass -- BaTiO<sub>3</sub>, PbTiO<sub>3</sub>, KTaO<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub>, and TiO<sub>x</sub> etc. -- it is also effective by mixing to make a dielectric constant high and to decrease the area of a capacitor from a viewpoint of the improvement in a numerical aperture.

[0074] In the 3rd invention, organic-inorganic hybrid glass can also be used as gate dielectric film of a switching element. In case it uses as an insulating member of TFT, as for a dyeing process, it is desirable from a viewpoint of insulating reservation not to pass but to consider as transparent and colorless organic-inorganic hybrid glass. Moreover, in order to acquire a good component property, as for the thickness of an insulator layer, it is desirable to be referred to as  $0.4 \times 0.2$  micrometers. As a presentation, it is SiO<sub>2</sub>. It considers as a principal component and it is desirable for the content to be more than 50 volume %.

[0075] In this invention, when organic-inorganic hybrid glass is used as an insulator layer of the capacitor which constitutes Cs, as for the volume resistivity, it is desirable to consider as  $10^{16}$  or more ohm-cm. Similarly, when using as gate dielectric film of the transistor of TFT, as for the volume resistivity, it is desirable to consider as  $10^{18}$  or more ohm-cm. Moreover, as for the BM section of the stratum functionale, it is desirable to consider as the insulation of  $10^{14}$  or more ohm-cm except for a contact part. The pixel field of the stratum functionale is good also as insulation of  $10^{13}$  or more ohm-cm, and good also as conductivity of  $10^{10}$  or less ohm-cm. When making it conductivity, it can also use also [ electrode / pixel ].

[0076] The stratum functionale is prepared on a switching element, an insulator layer is prepared on the stratum functionale, a pixel electrode is prepared on an insulator layer, and invention of the 4th of this invention is characterized by the pixel part in the stratum functionale consisting of insulating organic-inorganic hybrid glass.

[0077] In the 4th invention, when it takes into consideration carrying out flattening of the effect and the front face which are given to an ITO electrode from the stratum functionale of a substrate, as for the thickness of an insulator layer, it is desirable that it is 10nm or more. Moreover, SiO<sub>2</sub>, SiN<sub>x</sub>, AlO<sub>x</sub>, TaO<sub>x</sub>, etc. can be mentioned as an ingredient of an insulator layer. Although not only plasma CVD but what kind of approach is sufficient also as the membrane formation approach, in order not to degrade the property of TFT, as for the substrate temperature at the time of membrane formation, it is desirable to set up so that it may become lower than a-Si membrane formation temperature.

[0078] In the 4th invention, by forming the protective coat which consists of an insulator layer on the stratum functionale, it can prevent that the stratum functionale has a bad influence on the ITO film, and the effect of bulging on the front face of the stratum functionale can be prevented further. At this time, irregularity of the stratum functionale which is a substrate can be made into homogeneity by setting thickness of an insulator layer to 10nm or more. Thereby, the problem of side etching at the time of etching the ITO film can be prevented.

[0079] Hereafter, the example of this invention is explained to a detail using a drawing. This invention is not limited to these examples, within the limits of the summary, can be changed variously and can be used.

[0080] [the 1st operation gestalt] -- with the 1st operation gestalt, the pixel section offers the substrate for displays constituted with organic-inorganic hybrid glass which has conductivity.

[0081] Hereafter, the example of the substrate for displays concerning the 1st operation gestalt is explained. (Example 1-1)

Drawing 11 (E) is the sectional view of the substrate for displays concerning the 1st operation gestalt of this invention. The substrate for displays (array substrate) of drawing 11 (E) can be made using the array substrate which has the ITO pixel electrode currently used for the present displays as it is.

[0082] The TFT array substrate which has the above-mentioned configuration is the following, and can be made and manufactured. By carrying out sputtering of the MoTa alloy and carrying out patterning by 300nm in thickness, on a glass substrate 120, the gate line 128, the address line (not shown) (scanning line), and Cs (capacity line) 122a-122c are formed in coincidence. Subsequently, silicon oxide (gate dielectric film) 123 with a thickness of 400nm is formed by plasma CVD on it, patterning of the a-Si barrier layer 129 with a thickness of 100nm is formed and carried out, and patterning of the SiNxi stopper film 130 with a thickness of 50nm is formed and carried out on it. Furthermore, patterning of the n+a-Si layers 121a and 121b with a thickness of 50nm is formed and carried out on the a-Si barrier layer 129 and the SiNxi stopper film 130.

[0083] Subsequently, Cs and the transparent electrode 124 for electrodeposition are formed by carrying out sputtering of the ITO and carrying out patterning by 150nm in thickness, on the Cs line 122 silicon oxide 123 on a - 122c. Subsequently, the drain electrode 131, the source electrode 132, and data wiring that is not illustrated are formed in coincidence by carrying out sputtering of the predetermined wiring metals, such as aluminum, and carrying out patterning.

[0084] Below, the manufacture approach of the array substrate shown in drawing 11 (E) is described. As shown in drawing 11 (A), the 5-% of the weight toluene solution of the methylphenyl polysilane shown in a formula 4 is applied by 2.0 micrometers of thickness with a spin coat on a TFT array substrate, and subsequently to drawing 11 (B), it exposes completely with deep-UV light (300 to 340 nm) from the rear face of an array substrate so that it may be shown. Of this rear-face exposure process, latent images 126a-126c are formed in opening (part except a signal line and the gate line TFT). Subsequently, the field which was immersed in the electrodeposited liquid of the following presentations of a TFT array substrate, carried out the package drive of the R pixels in the condition, and formed the latent image is colored R, and Rth place color part 127a is formed. Under the present circumstances, the electrical potential difference of +5V is impressed to a signal line in the condition of having added to the gate +20V, using S C E (Saturated Calomel Electrode) as a common electrode. Then, as shown in drawing 11 (C), the rinse of the TFT array substrate is carried out with pure water. Gth place color part 127b and Bth place color part 127c are formed according to an electrodeposited process like the above. Next, this is baked for 10 minutes at 100 degrees C on a hot plate. After baking, this R and G, and the Bth place color parts 127a-127c are each color of R, G, and B, and, moreover, show conductivity.

[0085]

(Presentation of the electrodeposited liquid for RGB coloring (for conductivity))

Indium acetylacetonate (In (COCH<sub>2</sub> COCH<sub>3</sub>)) 20ml Tin acetylacetonate (Sn (COCH<sub>2</sub> COCH<sub>3</sub>)) One ml Pigment particle (mean particle diameter of 0.1 micrometers) 1.0g (R:anthraquinone system, G:copper-phthalocyanine system, B: copper KURORU phthalocyanine system)

Amphiphilic PEG mold surface activity ferrocene (FPEG) 0.2g (formula 1)

LiBr 1.3g Acetonitrile 15ml Water As shown in 135ml, next drawing 11 (D), 127d of black matrix sections is formed by exposing the whole TFT array substrate surface, forming 126d of latent images, and being immersed in the black sol Ringer's injection of the following presentations. Subsequently, the rinse of this substrate is carried out with pure water, and postbake of this is carried out at 250 degrees C for 60 minutes. After baking, 127d of black matrix sections is black, and they have insulation.

[0086]

(Presentation of the black sol Ringer's injection (for insulation))

Pigment (mixing of 0.3 micrometers of mean diameters, R, G and B, cyanogen, violet, and a yellow pigment)

5g Methanol ( $\text{CH}_3\text{OH}$ ) 30ml Tetra-ethoxy silane ( $\text{Si}_4(\text{OC two H}_5)$ ) 20ml Water 85ml Hydrochloric acid ( $\text{HCl}$ ) 0.25ml Acetonitrile On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms 8ml of common electrodes. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. In the example 1-1, it is considering as the color pixel electrode by giving conductivity to the color filter which consists of organic-inorganic hybrid glass. In this manufacture approach, after forming a color filter, sputtering of ITO, patterning, and an etching process are unnecessary. Therefore, the problem of the side etch produced when forming the ITO film on a color filter is not produced at all.

[0087] According to the example 1-1, it is possible to form organic - inorganic hybrid glass which only adds the metal complex used as the raw material of conductive oxide for the component in the dipping liquid at the time of coloring polysilane, and has conductivity. the dipping liquid component for giving conductivity here --  $\text{In}(\text{AcAc})_3$   $\text{Sn}(\text{AcAc})_2$  not only --  $\text{Sn}(\text{OEt})_2$  and  $\text{Sn}(\text{OMe})_2$  etc. -- a class will not be asked if it is the metal complex generally used for transparent conductive oxide formation. Moreover, the presentation ratio of dipping liquid is  $\text{In}(\text{AcAc})_3$  :  $\text{Sn}(\text{AcAc})_2 = 95:5$  (atomic %) is the most desirable, as long as it satisfies permeability and conductivity, except it is sufficient as the ratio.

[0088] In the approach of an example 1-1, since a color filter-on array substrate can be completely formed in a color filter formation process by the self aryne excluding a mask exposure process, the margin for mask alignment is unnecessary and the color filter-on array substrate of a high numerical aperture can be offered.

[0089] (Example 1-2) Drawing 12 is the sectional view of the array substrate of the liquid crystal display concerning the 1st operation gestalt of this invention. The color filter made from polysilane serves as the pixel electrode in the example 1-2.

[0090] 11 in drawing shows a glass substrate. The gate line 12 is formed on the glass substrate 11, and silicon oxide 13 is formed on it. On silicon oxide 13, the island-like a-Si barrier layer 14 is formed. The slot is prepared on the a-Si barrier layer 14, and the slot dissociates. Moreover, on the separated a-Si barrier layer 14, drain electrode 16a and source electrode 16b are formed through the n+a-Si contact layers 15a and 15b, respectively. The  $\text{SiN}_x$  film 17 is formed on drain electrode 16a and source electrode 16b. This  $\text{SiN}_x$  film 17 is laid underground by Mizouchi for separation. On the  $\text{SiN}_x$  film 17, 18d of organic-inorganic hybrid glass black matrix sections is formed.

[0091] On the other hand, on the glass substrate 11, storage capacitance line (Cs line) 19a is formed, and the electrode 112 for contact is formed through silicon oxide 13 on Cs line 19a. Furthermore, on it, the  $\text{SiN}_x$  film 17 and stratum-functionale 18 made from polysilane a are formed. On Cs line 19a, contact hole 112a which reaches electrode 112a' for contact is formed, respectively. Thus, the TFT array substrate is constituted.

[0092] The array substrate which has the above-mentioned configuration is the following, and can be made and manufactured. First, the gate line 12, the address line (scanning line) which is not illustrated, and Cs (capacity line) 19 are formed in coincidence by carrying out sputtering of the Mo-Ta alloy, and carrying out patterning by 300nm in thickness, on a glass substrate 11.

[0093] Subsequently, silicon oxide 13 is formed by 350nm in thickness by plasma CVD on it, an a-Si layer is formed by 300nm in thickness on it, and sequential formation of the n+a-Si layer is further carried out by 50nm in thickness on it. Subsequently, patterning of an a-Si layer and the n+a-Si layer is carried out, and the island-like a-Si barrier layer 14 and the n+a-Si contact layers 15a and 15b are formed. At this time, after separation of the n+a-Si contact layers 15a and 15b forms a source drain electrode, RIE etc. performs it.

[0094] Subsequently, the  $\text{SiO}_x$  film of the contact section is etched using rare HF, and the contact hole of the drawer electrode of a gate line and a signal line is formed. Next, on this, aluminum film is formed by sputtering, carries out patterning, and drain electrode 16a, source electrode 16b, data wiring (signal



line) that is not illustrated, and contact section electrode 112' are formed at coincidence. Then, on this, by plasma CVD, the SiNx film 17 is formed by 300nm in thickness, dry etching of the SiNx film of the contact section 111,112 is carried out, and a contact hole is formed.

[0095] Subsequently, on this, polysilane is applied on a spin coat etc. and the polysilane film with a thickness of 1 micrometer is formed. Subsequently, ultraviolet rays are alternatively exposed in the pixel section, and the latent image of a pixel pattern is formed in it. After this latent image was formed, they are a pigment and In (AcAc)<sub>3</sub>. Sn<sub>2</sub> (AcAc) Pattern dyeing is carried out and the exposure section is made to vitrify by heated and prebaking this after that by immersing this array substrate into the dipping liquid (sol liquid) to contain. At this time, they are In(AcAc)<sub>3</sub> of dipping liquid, and Sn (AcAc)<sub>2</sub>. ITO to form is incorporated by the pixel section with a pigment by oxidizing.

[0096] This exposure and immersion are repeated 3 times about RGB, respectively, and conductive color filter 18a of each color is formed. It connects with drain electrode 16b of TFT in a contact hole 111, and this conductive color filter works as a pixel electrode. That is, the color pixel electrode which serves both as a color filter and a pixel electrode is constituted.

[0097] Subsequently, after exposing the whole surface, an array substrate is immersed in a carbon black sol, postbake of this is carried out in 250 degrees C and about 60 minutes, and dyeing of 18d of black matrix sections is performed. Thus, a color filter and a black matrix are produced on a TFT array substrate. Here, conductivity is not given to a black Matrix part. On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cell is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cell.

[0098] After forming the color filter made from polysilane by giving conductivity to the pixel section of the color filter made from polysilane in the example 1-2, sputtering of ITO, patterning, and an etching process are unnecessary. Therefore, two problems which are produced when forming the ITO film on the color filter made from polysilane and which were mentioned above are not produced at all.

[0099] According to the example 1-2, it becomes it is possible to form the color filter which has conductivity only by adding a metal complex for the component in the dipping liquid at the time of dyeing polysilane, and possible to make it by this use also [ color filter / a pixel electrode and ]. the component in the dipping liquid for giving dyeing and conductivity here -- In(AcAc)<sub>3</sub> Sn (AcAc)<sub>2</sub> not only -- Sn (OEt)<sub>2</sub> and Sn (OMe)<sub>2</sub> etc. -- a class will not be asked if it is the metal complex generally used for the ITO formation by the sol-gel method. Moreover, the presentation ratio of dipping liquid is In (AcAc)<sub>3</sub>. : Although Sn (AcAc)<sub>2</sub> = 95:5 (atomic %) is common, as long as it satisfies permeability and conductivity, except it is sufficient as the ratio.

[0100] (Example 2) Drawing 13 is the sectional view of the array substrate of the liquid crystal display concerning the 1st operation of this invention. In addition, the sign same about the same part as drawing 12 as drawing 12 is attached, and the detailed explanation is omitted. An example 2 explains the structure where the color filter made from polysilane contains the part which does not have conductivity, and the part which has conductivity.

[0101] The array substrate which has the above-mentioned configuration is the following, and can be made and manufactured. Since formation of TFT is the same as that of an example 1, it is omitted. On the array substrate 11 with which TFT was formed, the SiNx film 17 is formed by 300nm in thickness, polysilane is applied on a spin coat etc. on it, and the polysilane film with a thickness of 1.2 micrometers is formed. Subsequently, dry etching of the SiNx film 17 and polysilane film of the contact section 111,112 is carried out, and a contact hole is formed.

[0102] Subsequently, ultraviolet-rays exposure of the polysilane film is carried out alternatively, the latent image of a dyeing pattern is formed and pattern dyeing of the array substrate is carried out into the dipping liquid containing a basic dye by what (1st immersion) is immersed. Then, it is In(AcAc)<sub>3</sub> in order to give conductivity. Sn<sub>2</sub> (AcAc) An array substrate is immersed into the dipping liquid to contain

(2nd-immersion). Then, this is made to vitrify the exposure section by heated and prebaking. The color pixel electrode 18 is formed by repeating this exposure, the 1st immersion, the 2nd immersion, and heating and prebaking 3 times about RGB each pixel. Since this color pixel electrode 18 is performing the immersion process in 2 steps with the 1st immersion to dye and the 2nd immersion which gives conductivity, conductivity is given to surface partial 18a' and conductivity is not given only by film CHUBU ENGINEERING CORPORATION part 18a being dyed. At this time, the thickness of conductive partial 18a' is controllable by the immersion time amount of the 2nd immersion process.

[0103] Subsequently, after exposing completely the array substrate 11 with which the color pixel electrode 18 was formed, an array substrate is immersed in a carbon black sol, postbake of this is carried out in 250 degrees C and about 60 minutes, and black matrix 18d dyeing is performed. Thus, black matrix 18d and the color pixel electrode 18 are produced.

[0104] subsequently -- contact -- the section -- 111,112 -- a conductive polymer -- filling a gap -- TFT -- a drain -- an electrode -- 16 -- b -- a color -- a pixel -- an electrode -- conductivity -- a part -- 18 -- a -- ' -- between -- and -- capacity -- an electrode -- 112 -- a color -- a pixel -- an electrode -- conductivity -- a part -- 18 -- a -- ' -- between -- electric -- connecting -- a sake -- beer -- 113 -- and -- 114 -- forming . This beer 113,114 may be somewhat formed more highly from the depth of a contact hole before exposure of polysilane, and immersion. In this case, as shown in drawing 14 , in the contact section, contact is taken by the side face of a conductive polymer, and ITO produced with the sol-gel method. In drawing 14 R> 4, if beer 114 is produced and ITO18a' is formed after forming a contact hole, contact can be taken in the side face of beer 114 and ITO18a', and the potential and pixel potential of pixel 19a of the contact section will become the same as a result.

[0105] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. According to the substrate for displays applied to the 1st operation gestalt as mentioned above, the effective voltage impressed to liquid crystal for the electrical potential difference distributed to a color filter cannot fall, and the trouble of a driver voltage rise can be avoided. Moreover, since it is not necessary to form a pixel electrode independently, problems, such as side etch, are not produced, either but a routing counter can also be reduced.

[0106] [the 2nd operation gestalt] -- with the 2nd operation gestalt, the substrate for displays containing the stratum functionale which has the contact section which consisted of organic-inorganic hybrid glass or a conductive polymer that the poor contact between the source electrodes of a switching element and pixel electrodes in structure should be solved every pixel electrode top is offered.

[0107] Hereafter, the example of the substrate for displays concerning the 2nd operation gestalt is explained. (Example 3) Drawing 15 is the sectional view of the substrate for displays concerning the 2nd operation gestalt of this invention (array substrate). 401 in drawing shows a glass substrate. On the glass substrate 401, the gate line 402 and the Cs line 403 are formed, and silicon oxide 404 is formed on them. on silicon oxide 404, the a-Si barrier layer 406 carries out patterning, and forms -- having -- \*\*\*\* -- a part of a-Si barrier layer 406 -- upwards, the SiNx stopper film 407 is formed. Furthermore, on the a-Si barrier layer 406 and the SiNx stopper film 407, the n+a-Si layers 408a and 408b are formed in the condition of having dissociated mutually. Furthermore, on n+a-Si layer 408a and 408b, as the edge of the a-Si barrier layer 406 is covered, the source electrode 409 and the drain electrode 410 are formed.

[0108] Thus, on formed TFT and Cs line, the stratum functionale 413,411a, 411b, and 414 which consists of organic-inorganic hybrid glass is formed. It is colored R, G, and B, and this stratum functionale colors black with conductive contact field 411a for connecting electrically the insulating field 413, and the source electrode 409 and the pixel electrode 412 prepared on the stratum functionale, and contains the insulating black matrix field 414 and conductive Cs polar-zone 411b.

[0109] The TFT array substrate which has the above-mentioned configuration is the following, and can be made and manufactured. First, the gate line 402, the address line (not shown), and the Cs line 403

are formed in coincidence by carrying out sputtering of the MoTa alloy and carrying out patterning by 300nm in thickness, on a glass substrate 401. Subsequently, silicon oxide (gate dielectric film) 404 with a thickness of 400nm is formed by plasma CVD on it, patterning of the a-Si barrier layer 406 with a thickness of 100nm is formed and carried out, and patterning of the SiNx-i stopper film 407 with a thickness of 50nm is formed and carried out on it. Furthermore, patterning of the n+a-Si layers 408a and 408b with a thickness of 50nm is formed and carried out on the a-Si barrier layer 406 and the SiNx-i stopper film 407. Subsequently, the source electrode 409, the drain electrode 410, and data wiring that is not illustrated are formed in coincidence by carrying out sputtering of the predetermined wiring metals, such as aluminum, and carrying out patterning.

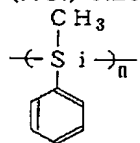
[0110] Next, as are shown in drawing 16 (A), and the 5-% of the weight toluene solution 415 of the methylphenyl polysilane shown in a formula 4 is applied to a TFT array substrate by 2.0 micrometers of thickness with a spin coat and it is shown in drawing 16 (B), the pixel part 413 of R is exposed with deep-UV light (280 to 320 nm) through a photo mask 416, and a latent image 417 is formed. Subsequently, it is immersed in the red sol Ringer's injection of the following presentations of this TFT array substrate, a rinse is carried out with pure water after that, and this is further baked for 10 minutes at 100 degrees C. This forms the Rth place color part 413, as shown in drawing 16 (C). The Gth place color part and the Bth place color part are formed like the above. This R and G, and the Bth place color part 413 showed insulation after baking.

[0111]

(Presentation of the sol Ringer's injection for RGB)

Pigment (mean particle diameter of 0.1 micrometers) 0.5 to 1.5 g (it changes with R, G, and B)

A methanol (CH<sub>3</sub> OH) 30ml Tetra-ethoxy silane (Si<sub>4</sub> (OC two H<sub>5</sub>)) 20ml Water 85ml Hydrochloric acid (HCl) 0.25ml Acetonitrile It is [Formula 4] 8ml.



…式 ( 4 )

[0112] (As for n, it is desirable that it is an integer and is n>=50)

Next, as shown in drawing 16 (D), a signal-line top is covered and contact-on Cs line 411b field 411a is exposed by deep-UV using the mask 416 used as opening. This forms a latent image 417 in the polysilane resist on the Cs line 403 and the drain electrode 409 (since the RGB section 413 is already vitrified, it does not change with light).

[0113] Next, as shown in drawing 16 (E), after being immersed in the black sol Ringer's injection of the following presentations of this TFT array substrate, a rinse is carried out with pure water, and it prebakes for 10 minutes at 100 degrees C. After baking, these parts 411a and 411b are black, and have conductivity.

[0114]

(Presentation of the metal complex black sol Ringer's injection (for conductivity))

A carbon black particle (mean particle diameter of 0.3 micrometers) 5g Methanol (CH<sub>3</sub> OH) 30ml Indium acetylacetonate (In (COCH<sub>2</sub> COCH<sub>3</sub>)) 20ml Tin acetylacetonate (Sn (COCH<sub>2</sub> COCH<sub>3</sub>)) 1ml Water 85ml Hydrochloric acid (HCl) 0.25ml Acetonitrile As are shown in 8ml, next drawing 16 (F), and the whole TFT array substrate surface is exposed, a latent image 417 is formed and it is shown in drawing 16 (G), the black matrix section 414 is formed by being immersed in the black sol Ringer's injection of the following presentations. Subsequently, postbake of this is carried out at 250 degrees C for 60 minutes. After baking, the black matrix section 414 is black, and has insulation.

[0115]

(Presentation of the black sol Ringer's injection (for insulation))

Pigment (mixing of 0.3 micrometers of mean diameters, R, G and B, cyanogen, violet, and a yellow pigment)

5g Methanol (CH<sub>3</sub> OH) 30ml Tetra-ethoxy silane (Si<sub>4</sub> (OC two H<sub>5</sub>)) 20ml Water 85ml Hydrochloric acid (HCl) 0.25ml Acetonitrile The pixel electrode 412 is formed by carrying out sputtering of the ITO and carrying out patterning to the 8ml last by 150nm in thickness, on the stratum functionale, as shown in drawing 16 (H).

[0116] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, since the stratum functionale (the contact section, R and G, the B section, and the BM section) consists of organic-inorganic hybrid glass and the manufactured liquid crystal display consists of oxide semiconductors with which the conductive particle in which the wiring part between the pixel electrode 412 and the drain electrode 409 was formed by wet process was moreover distributed, defective continuity does not happen.

[0117] (Example 4) Drawing 17 is the sectional view of the substrate for displays concerning the 2nd operation gestalt of this invention. In drawing 17, the same sign as drawing 15 is attached about the same part as drawing 15, and the detailed explanation is omitted.

[0118] In the substrate for displays of drawing 17 (array substrate), the array substrate which has the ITO pixel electrode currently used for the present liquid crystal display components is used as it is. That is, the object for Cs capacity formation and the transparent electrode 405 for electrodeposition were formed in the Cs line 403 upper part, and contact of the source electrode 409 and the pixel electrode 412 is taken in the contact sections 411a and 411b.

[0119] The TFT array substrate which has the above-mentioned configuration is the following, and can be made and manufactured. By carrying out sputtering of the MoTa alloy and carrying out patterning by 300nm in thickness, on a glass substrate 401, the gate line 402, the address line, and the Cs line 403 are formed in coincidence. Subsequently, silicon oxide (gate dielectric film) with a thickness of 400nm is formed by plasma CVD on it, patterning of the a-Si barrier layer 406 with a thickness of 100nm is formed and carried out, and patterning of the SiN<sub>x</sub>i stopper film 407 with a thickness of 50nm is formed and carried out on it. Furthermore, patterning of the n+a-Si layers 408a and 408b with a thickness of 50nm is formed and carried out on the a-Si barrier layer 406 and the SiN<sub>x</sub>i stopper film 407.

[0120] Subsequently, Cs and the transparent electrode 405 for electrodeposition are formed by carrying out sputtering of the ITO and carrying out patterning by 150nm in thickness, on the silicon oxide 404 on the Cs line 403. Subsequently, the drain electrode 409, the source electrode 410, and data wiring that is not illustrated are formed in coincidence by carrying out sputtering of the predetermined wiring metals, such as aluminum, and carrying out patterning.

[0121] Next, as shown in drawing 18 (A), it exposes completely with deep-UV light (300 to 340 nm) from the rear face of an array substrate so that the 5-% of the weight toluene solution 415 of the methylphenyl polysilane shown in the above-mentioned formula 4 may be applied to a TFT array substrate by 2.0 micrometers of thickness with a spin coat and it may be shown subsequently to drawing 18 (B). Of this rear-face exposure process, as shown in drawing 18 (C), a latent image 417 is formed in opening (part except a signal line and a gate line). Subsequently, the field which was immersed in the electrodeposited liquid of the following presentations of a TFT array substrate, carried out the package drive of the R pixels in the condition, and formed the latent image is colored R, and the Rth place color part 413 is formed. Under the present circumstances, using S C E (Saturated Calomel Electrode) as a common electrode, where +20V are added to the gate, the electrical potential difference of +5V is impressed to a signal line. Then, the rinse of the TFT array substrate is carried out with pure water. The Gth place color part and the Bth place color part are formed like the above. Furthermore, this is baked for 10 minutes at 100 degrees C on a hot plate. After baking, this R and G, and the Bth place color part 413 are each color of R, G, and B, and, moreover, show insulation.

[0122]

(Presentation of the electrodeposited liquid for RGB coloring (for insulation))

Pigment particle (mean particle diameter of 0.1 micrometers) 1.0g (R:anthraquinone system, G:copper-phthalocyanine system, B: copper KURORU phthalocyanine system)

Amphiphilic PEG mold surface activity ferrocene (FPEG) 0.2g (formula 1)

LiBr 1.3g Acetonitrile 15ml Water As shown in 135ml, next drawing 18 (D), it exposes completely from a substrate front-face side, and a latent image 417 is formed in non-opening. Next, as shown in drawing 18 R> 8 (E), it is immersed in the black electrodeposition liquid of the following presentations of a TFT array substrate, and in the condition, an electrical potential difference is impressed to a signal line for the gate as a common electrode and this potential, and a signal-line top is alternatively colored black. Under the present circumstances, the electrical potential difference of +5V is impressed to a signal line, using S C E as a common electrode. Then, with pure water, the rinse of this is carried out and it is baked. After baking, this part 414 is black and shows insulation.

[0123]

(Presentation of black electrodeposition liquid (for insulation))

Pigment particle (mean particle diameter of 0.3 micrometers) 5.0g (mixing of cyanogen, violet, and a yellow pigment)

An amphiphilic PEG mold surface activity ferrocene (FPEG) 0.2g LiBr 1.3g Acetonitrile 15ml Water As shown in 135ml, next drawing 18 (F), it is immersed in the black electrodeposition liquid of the following presentations of a TFT array substrate. Add +20V to the gate in the condition, impress an electrical potential difference to a signal line, a conductive particle is made to invade into the latent image on the source electrode 409 and the Cs electrode 405, and the contact sections 411a and 411b are formed. Under the present circumstances, the electrical potential difference of +5V is impressed to a signal line, using S C E as a common electrode. Then, with pure water, the rinse of this is carried out and it is baked. After baking, these parts 411a and 411b are black, and show conductivity.

[0124]

(Presentation of black electrodeposition liquid (for conductivity))

A carbon black particle (mean particle diameter of 0.3 micrometers) 5.0g Amphiphilic PEG mold surface activity ferrocene (FPEG) 0.2g LiBr 1.3g Acetonitrile 15ml Water As shown in 135ml, next drawing 18 (G), after being immersed in the black sol Ringer's injection for insulation of the same presentation as an example 3, the rinse of the TFT array substrate is carried out with pure water, the remaining black matrix section is formed and postbake is carried out at 250 degrees C for 60 minutes. After baking, this black matrix section 414 is black, and shows insulation.

[0125] Finally, as shown in drawing 18 (H), when sputtering of the ITO is carried out and it carries out patterning by 150nm in thickness on organic-inorganic hybrid glass, the pixel electrode 412 is formed.

[0126] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, since it consists of oxide semiconductors with which the manufactured liquid crystal display distributed the conductive particle in which the stratum functionale (the contact section, R and G, the B section, and the BM section) consists of organic-inorganic hybrid glass, and the wiring part between the pixel electrode 412 and the drain electrode 409 was moreover formed by wet process, defective continuity does not happen.

[0127] (Example 5) Drawing 19 is the sectional view of the substrate for displays concerning the 2nd operation gestalt of this invention. In drawing 19, the same sign as drawing 15 is attached about the same part as drawing 15, and the detailed explanation is omitted.

[0128] In the substrate for displays of drawing 19 (array substrate), contact to the transparent electrode 405 for Cs and the pixel electrode 412 linked to the source electrode 409 is taken in the contact section 411 of the stratum functionale.

[0129] The TFT array substrate which has the above-mentioned configuration is the following, and can be made and manufactured. Formation of TFT and the RGB coloring section of the stratum functionale

is performed like an example 4.

[0130] As shown in drawing 20 (A), it exposes completely with deep-UV light (300 to 340 nm) from the rear face of an array substrate so that the 5-μ of the weight toluene solution 415 of the methylphenyl polysilane shown in the above-mentioned formula 4 may be applied to a TFT array substrate by 2.0 micrometers of thickness with a spin coat and it may be shown subsequently to drawing 20 (B). Of this rear-face exposure process, as shown in drawing 20 (C), a latent image 417 is formed in opening (part except a signal line and a gate line). Subsequently, the field which was immersed in R of the same presentation as an example 4, G, the object for B, and the electrodeposited liquid for insulation in the TFT array substrate, carried out the package drive of the R pixels in the condition, and formed the latent image is colored R, and the Rth place color part 413 is formed. Under the present circumstances, using S C E as a common electrode, where +20V are impressed to the gate, the electrical potential difference of +5V is impressed to a signal line. Then, the rinse of the TFT array substrate is carried out with pure water. The Gth place color part and the Bth place color part are formed like the above. Furthermore, this is baked for 10 minutes at 100 degrees C on a hot plate. After baking, this R and G, and the Bth place color part 413 are each color of R, G, and B, and, moreover, show insulation.

[0131] Subsequently, as shown in drawing 20 (D), deep-UV exposure is carried out using the mask 416 with which the signal-line and TFT top was covered by the TFT array substrate, and Cs field became opening. Thereby, a latent image 417 is formed in the polysilane resist 415 on Cs field (since the RGB section is already vitrified, it does not change with light). Next, as shown in drawing 20 (E), after being immersed in the black sol Ringer's injection for conductivity of the same presentation as an example 3, the rinse of the TFT array substrate is carried out with pure water, and it is prebaked at 100 degrees C for 10 minutes. After baking, this contact section 411 is black, and shows conductivity.

[0132] Subsequently, as shown in drawing 20 (F), it exposes completely from the front-face side of a TFT array substrate, and a latent image 417 is formed in the remaining part. Subsequently, as shown in drawing 20 (G), after being immersed in the black sol Ringer's injection for insulation of the same presentation as an example 3, a rinse is carried out with pure water, and the black matrix section 414 is formed. Subsequently, postbake of this is carried out at 250 degrees C for 60 minutes. After baking, the black matrix section 414 is black, and shows insulation.

[0133] Finally, as shown in drawing 20 (H), when sputtering of the ITO is carried out and it carries out patterning by 150nm in thickness on the stratum functionale, the pixel electrode 412 is formed.

[0134] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, since it consists of oxide semiconductors with which the manufactured liquid crystal display distributed the conductive particle in which the wiring part 411 between the transparent electrodes 405 for Cs which the stratum functionale (the contact section, R and G, the B section, and the BM section) consists of organic-inorganic hybrid glass, and were moreover connected with the pixel electrode 412 and the source electrode was formed by wet process, defective continuity does not happen.

[0135] (Example 6) Drawing 21 and drawing 22 are the sectional views of the substrate for displays concerning the 2nd operation gestalt of this invention. In drawing 21 and drawing 22, the same sign as drawing 15 is attached about the same part as drawing 15, and the detailed explanation is omitted.

[0136] In the substrate for displays of drawing 21 (array substrate), contact to the transparent electrode 405 for Cs and the pixel electrode 412 linked to the source electrode 409 is taken by the conductive polymer embedded in the contact hole established in the color FURUTA layer. Moreover, in the substrate for displays of drawing 22 (array substrate), contact to the source electrode 409 and the pixel electrode 412 is taken by the conductive polymer embedded in the contact hole established in the color FURUTA layer. Therefore, it is only that the substrate of drawing 21 differs in the location which forms a contact hole from the substrate of drawing 22, and the manufacture process is the same.

[0137] The TFT array substrate which has the above-mentioned configuration is the following, and can be made and manufactured. Formation of TFT and the RGB coloring section of the stratum functionale is performed like an example 4.

[0138] As shown in drawing 23 (A), it exposes completely with deep-UV light (300 to 340 nm) from the rear face of an array substrate so that the 5-% of the weight toluene solution 415 of the methylphenyl polysilane shown in the above-mentioned formula 4 may be applied to a TFT array substrate by 2.0 micrometers of thickness with a spin coat and it may be shown subsequently to drawing 23 (B). Of this rear-face exposure process, as shown in drawing 23 (C), a latent image 417 is formed in opening (part except a signal line and a gate line). Subsequently, the field which was immersed in R of the same presentation as an example 4, G, the object for B, and the electrodeposited liquid for insulation in the TFT array substrate, carried out the package drive of the R pixels in the condition, and formed the latent image is colored R, and the Rth place color part 413 is formed. Under the present circumstances, using S C E as a common electrode, where +20V are added to the gate, the electrical potential difference of +5V is impressed to a signal line. Then, the rinse of the TFT array substrate is carried out with pure water. The Gth place color part and the Bth place color part are formed like the above. Furthermore, this is baked for 10 minutes at 100 degrees C on a hot plate. After baking, this R and G, and the Bth place color part 413 are each color of R, G, and B, and, moreover, show insulation.

[0139] Subsequently, as shown in drawing 23 (D), a latent image 417 is formed in the remaining part by exposing from a substrate front-face side completely with deep-UV light to a TFT array substrate (since the RGB section is already vitrified, it does not change with light). Subsequently, as shown in drawing 23 (E), after being immersed in the black sol Ringer's injection for insulation of the same presentation as an example 3, the rinse of the TFT array substrate is carried out with pure water, and the black matrix section 414 is formed. Subsequently, postbake of this is carried out at 250 degrees C for 60 minutes. After baking, the black matrix section 414 is black, and shows insulation.

[0140] Next, as shown in drawing 23 (F), the contact part between pixel electrodes is alternatively etched by RIE among the black matrix sections. Subsequently, a conductive polymer 418 is made to form in a contact hole part in the condition of having added to the gate line +20V in addition to [ +5V ] a signal line, being immersed in the electrolytic solution containing the monomer which forms the conductive polymer of the following presentations of a TFT array substrate, as shown in drawing 23 R> 3 (G). Under the present circumstances, S C E is used as a common electrode. Then, the rinse of this is carried out with pure water. This contact section 411 is black, and shows conductivity.

[0141]

(Presentation of electrolytic polymerization liquid)

A pyrrole 25ml LiClO<sub>4</sub> 10g Acetonitrile 1000ml, subsequently to drawing 23 (H), after drying a TFT array substrate so that it may be shown, they are 254nm and 1 J/cm<sup>2</sup>. UV washing is performed and the conductive polymer adhering to a front face is removed. Finally, as shown in drawing 23 (I), when sputtering of the ITO is carried out and it carries out patterning by 150nm in thickness on the stratum functionale, the pixel electrode 412 is formed.

[0142] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, since, as for the manufactured liquid crystal display, the stratum functionale (the contact section, R and G, the B section, and the BM section) consists of organic-inorganic hybrid glass and it consists of conductive polymers in which the wiring part between the transparent electrodes 405 for Cs moreover connected with the pixel electrode 412, the source electrode 409, or the source electrode 409 was formed of wet process, defective continuity does not happen.

[0143] (Example 7) Drawing 24 is drawing showing other manufacture approaches of drawing 21 and the substrate for displays of drawing 22 . About the process which produces TFT on a glass substrate 401,

it carries out like an example 4.

[0144] First, as shown in drawing 24 (A), the 5-% of the weight toluene solution 415 of the methylphenyl polysilane shown in the above-mentioned formula 1 is applied to a TFT array substrate by 2.0 micrometers of thickness with a spin coat, subsequently to drawing 24 (B), pixel partial 413 of R R is alternatively exposed with deep-UV light (280 to 320 nm) through a photo mask, and a latent image 417 is formed so that it may be shown. Subsequently, after being immersed in R of the same presentation as an example 3, G, the object for B, and the red sol Ringer's injection for insulation, the rinse of this TFT array substrate is carried out with pure water, and this is further baked for 10 minutes at 100 degrees C. This forms the Rth place color part 413. The Gth place color part and the Bth place color part are formed like the above.

[0145] Next, by exposing a TFT array substrate completely using deep-UV light, a latent image is made to form in the black matrix section, after being immersed in the black sol Ringer's injection for insulation of the same presentation as an example 3, a rinse is carried out with pure water, and the black matrix section 414 is formed. Next, this is carried out 60-minute post \*-KU at 250 degrees C. As shown in drawing 24 (C) after baking, the RGB coloring section 413 and the black matrix section 414 serve as glass in which insulation is shown.

[0146] Next, as shown in drawing 24 (D), the contact part between pixel electrodes is alternatively etched by RIE among the black matrix sections. Subsequently, being immersed in the electrolytic solution containing the monomer which forms the conductive polymer of the same presentation as an example 3 for a TFT array substrate, as shown in drawing 24 R> 4 (E), the package drive of the TFT is carried out similarly, and a conductive polymer 418 is made to form in a contact hole part. This contact section 411 is black, and shows conductivity.

[0147] Subsequently, as shown in drawing 24 (F), after prebaking a TFT array substrate, they are 254nm and 1 J/cm<sup>2</sup>. UV washing is performed and the conductive polymer adhering to a front face is removed. Finally, as shown in drawing 24 (G), when sputtering of the ITO is carried out and it carries out patterning by 150nm in thickness on the stratum functionale, the pixel electrode 412 is formed.

[0148] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, since, as for the manufactured liquid crystal display, the stratum functionale (the contact section, R and G, the B section, and the BM section) consists of organic-inorganic hybrid glass and it consists of conductive polymers in which the wiring part between the transparent electrodes 405 for Cs moreover connected with the pixel electrode 412, the source electrode 409, or the source electrode 409 was formed of wet process, defective continuity does not happen.

[0149] In the 2nd operation gestalt, although the example which used organic-inorganic hybrid glass for the stratum functionale is explained, organic - inorganic hybrid glass formed in the process same on the passivation film prepared between the pixel electrode on an array substrate and TFT as the above may be applied. In this case, the conditions in the above-mentioned process etc. are changed suitably, and are applied. For example, in an electrodeposited process, a pigment is not included in electrodeposited liquid, but a package drive is carried out and TFT of all pixels is performed.

[0150] As mentioned above, according to the 2nd operation gestalt, the poor contact in structure can be avoided every pixel top, and a reliable color filter-on array substrate can be offered. Moreover, by using this substrate, high numerical aperture-ization is attained and the liquid crystal display of a low power can be offered.

[0151] (Example 8) Drawing 25 is the sectional view of the substrate for displays concerning the 2nd operation gestalt of this invention (array substrate). 501 in drawing shows a glass substrate. The gate line 509 is formed on the glass substrate 501, and the gate dielectric film 510 which consists of silicon oxide is formed on it. On gate dielectric film 510, the i-Si semi-conductor layer 511 carries out



patterning, and is formed, and the n+a-Si layers 507a and 508a are formed in the condition of having dissociated mutually, on the i-Si semi-conductor layer 511. Furthermore, on n+a-Si layer 507a and 508a, drain electrode 507b and source electrode 508b are formed. Thus, TFT502 is formed.

[0152] The stratum functionale is prepared on this TFT502. The color filter layer consists of the contact sections 505 and the coloring sections 504 for connecting electrically the black matrix section 503 on TFT502, and source electrode 507b and the pixel electrode 506. Moreover, the pixel electrode 506 is formed on this stratum functionale. The substrate for displays (array substrate) which has the above-mentioned configuration is the following, and can be made and manufactured. First, TFT502 is formed on 7057 by the glass substrate, Inc., for example, Corning, and the NA[ by the Neta techno glass company ]-glass substrate 501 which consists of alkali free glass of 45 and O[ by Nippon Electric Glass Co., Ltd. ] alpha-2 grade. namely, the thing which Ta, Mo-Ta, etc. are put by sputtering etc. and do for patterning on a glass substrate 501 -- the gate line 509 -- forming -- a it top -- Ta 2O<sub>5</sub>, SiN<sub>x</sub>, and aluminum 2O<sub>3</sub> etc. -- it covers by sputtering, CVD, etc. and the GUTO insulator layer 510 is formed. By putting i-Si (intrinsic-semiconductor amorphous silicon) etc. by CVD etc., and carrying out patterning on gate dielectric film 510, the i-Si semi-conductor layer 511 is formed. By furthermore putting and carrying out patterning of n+a-Si (or Ti) on it, the n+a-Si layers 507a and 508a are formed, and source electrode 508b and drain electrode 507b are alternatively formed on n+a-Si layer 507a and 508a.

[0153] Next, as shown in drawing 26 (A), the liquid which the spin coater was used [ liquid ] and made the organic solvent dissolve a polysilane constituent on the glass substrate 501 with which TFT502 was formed is applied. It sets at the above-mentioned formula 2 and a ceremony 3, and polysilane is R1. And R3 It is a methyl group and is R2. It is a phenyl group and is R4. The polyphenyl methyl / methyl trifluoro propyl silane which is a trifluoro propyl group are used. The toluene solution which added 15 weight sections for diethylene glycol dibenzoate as a cross linking agent by using as 8 weight sections and an ethylene system compound a silicone rubber constituent (constituent which consists of the dimethyl silicone oil YE3902 (Toshiba Silicone make) 98.9 weight section, the methyltriacetoxysilane 1 weight section, and the dibutyl tin JIRAU rate 0.1 weight section) in polyphenyl methyl / methyl trifluoro propyl silane 100 weight section is used for a polysilane constituent. The solid content concentration of this liquid is 30 % of the weight. A hot plate is used and liquid is made to prebake, after applying this liquid. The thickness of the obtained polysilane layer 512 is 2.5 micrometers.

[0154] Subsequently, as shown in drawing 26 (B), sequential formation of R, G, the Bth place color part, and the black matrix section is carried out. That is, after making the silanol group (Si-OH association) of a hydrophilic property generate by exposing ultraviolet rays in the polysilane layer corresponding to the Rth place color part, an array substrate is immersed in a red coloring sol solution, the Rth place color part 504 is formed, and the Gth place color part, the Bth place color part, and the black matrix section 503 are formed by the same approach. In addition, a medium-voltage mercury-vapor lamp is used for exposure, and it is 5 J/cm<sup>2</sup>. It carries out with the quantity of light. The polysilane layer by which ultraviolet rays are not exposed remains as an organic polysilane layer.

[0155] Subsequently, as shown in drawing 26 (C), a mask 514 is used for 513 parts which do not form the coloring section 504 and the black matrix section 503, and ultraviolet rays are irradiated. Subsequently, as it carries out and is shown in drawing 26 (D), an array substrate is immersed in the conductive sol solution which distributed the particle of ITO, and the contact section 505 is formed. Then, an array substrate is washed in cold water, 100 degrees C and baking for 30 minutes are performed, and the stratum functionale containing the coloring section, the black matrix section, and the contact section is completed.

[0156] In addition, the coloring sol solution used above is a sol solution which distributed the particle of a pigment, and a conductive sol is the sol solution which distributed the particle of ITO. These sol solutions are produced as follows. A tetra-ethoxy silane is used as a metal alkoxide of a start raw material. It is made to distribute, carrying out 20 weight sections addition and agitating a pigment particle with a mean particle diameter of 0.1 micrometers or an ITO particle with a mean particle

diameter of 0.1 micrometers with for [ sufficient ] 30 minutes in ordinary temperature in the solution which consists of the tetra-ethoxy silane 100 weight section, the ethyl alcohol 100 weight section, and the pure-water 70 weight section. Then, the hydrochloric-acid 0.3 weight section is added to this, and solution is continued while making it distribute, agitating in ordinary temperature further for 2 hours. In this way, it considers as a coloring sol solution or a conductive sol solution by adding and diluting the sol solution 300 weight section and the pure-water 300 weight section which were made from said same process, without adding a pigment or a conductive particle in the obtained coloring sol solution or conductive sol solution 100 weight section.

[0157] The immersion to a coloring sol solution or a conductive sol solution is ended in 10 – 15 minutes in ordinary temperature. Since generating of the pinhole by remelting of a polysilane layer will become easy to take place although immersion time amount can be shortened if the temperature of a sol solution is raised, as for the temperature of a sol solution, it is desirably desirable that it is 30 degrees C or less 40 degrees C or less.

[0158] In addition, the coloring section black matrix section etc. can also be formed using the ink injection technique used for record techniques, such as the ink jet method, instead of exposing a polysilane layer and being immersed in a sol solution, without exposing a polysilane layer.

[0159] Next, as shown in drawing 26 (E), a spin coater is used again, on the stratum functionale, the same polysilane constituent as the above is applied and prebaked, and the polysilane layer 512 with a thickness of 0.5 micrometers is formed. Then, as are shown in drawing 26 (F), and the polysilane layer 512 is exposed by ultraviolet rays and shown in drawing 2626 (G) using the mask 514 in which the part equivalent to a pixel electrode carried out opening, an array substrate is immersed in the conductive sol solution which distributed the particle of  $\text{iotaTO}$ , and the pixel electrode 506 is formed.

[0160] Thus, the obtained substrates for displays are very few things of surface irregularity, and the electrical installation between a pixel electrode and TFT is also excellent.

[0161] (Example 9) Drawing 27 is the sectional view of the liquid crystal display concerning the 2nd operation gestalt of this invention. This liquid crystal display mainly consists of liquid crystal layers 515 pinched between the TFT array substrate Y, and the opposite substrate X and the TFT array substrate Y which have the configuration shown in the opposite substrate X which comes to form the orientation film 517 on a glass substrate 501 through the transparent electrode 516 which consists of ITO etc., and drawing 25. In addition, the orientation film 517 is formed also on the TFT array substrate Y, each orientation film 517 counters and the opposite substrate X and the TFT array substrate Y are arranged.

[0162] The liquid crystal display which has the above-mentioned configuration is the following, and can be made and manufactured. In addition, in the TFT array substrate Y, since the process which produces TFT502 on a glass substrate 501 is the same as an example 8 as shown in drawing 28 (A), the detailed explanation is omitted.

[0163] As shown in drawing 28 (B), with the nozzle coating method using a nozzle 519, the liquid made to dissolve a polysilane constituent in an organic solvent is applied on the glass substrate 501 which has TFT502, reduced pressure prebaking is carried out, and the polysilane layer 512 with a thickness of 2 micrometers is formed by prebaking 100 degrees C in clean oven further for 30 minutes.

[0164] Here, it sets at the above-mentioned formula 2 and a ceremony 3, and polysilane is R1. And R3 It is a methyl group and is R2. And R4 The polyphenyl methylsilane ( $\text{CH}_3 \text{ C}_6 \text{ H}_5 \text{ Si}$ ) which is a phenyl group is used. The toluene solution (20 % of the weight of solid content concentration) which added 30 weight sections for n-butyl olate as a cross linking agent by using as 2 weight sections and an ester compound a silicone rubber constituent (constituent which consists of the dimethyl silicone oil Ypsilon3902 (Toshiba Silicone make) 98.9 weight section, the methyltriacetoxysilane 1 weight section, and the dibutyl tin JIRAU rate 0.1 weight section) is used to this polyphenyl methylsilane 100 weight section.

[0165] Subsequently, as shown in drawing 28 (C), partial 504a of the polysilane layer corresponding to the Rth place color part is exposed by ultraviolet rays from a rear face. At this time, the part of the polysilane layer corresponding to the Gth place color part and the Bth place color part is covered and

exposed with the mask which is not illustrated. Moreover, in order that the TFT section may not let light pass, only Rth place color part corresponding point 504a is exposed, and a silanol group is generated there. In addition, a medium-voltage mercury-vapor lamp is used for exposure, and it is  $4 - 5 \text{ J/cm}^2$ . It carries out with the quantity of light. However, if it is the light source which emits the wavelength of 250–400nm which is the ultraviolet absorption region of polysilane, it can be used by other light sources. [0166] Then, as shown in drawing 28 (D), ten to 15 part is immersed in the coloring sol solution which distributed red pigments (for example, Pig.Red 177) and the yellow pigment for color correction (for example, Pig.Yellow 139) in ordinary temperature in an array substrate, this is rinsed, it prebakes about 30 minutes at 100–115 degrees C, and the Rth place color part is formed. Similarly, the Gth place color part and the Bth place color part are formed. In addition, if not dip coating but the ink jet method is used when coloring, exposure of the part colored R, G, and B can be managed at once.

[0167] A coloring sol solution is produced as follows. In the solution which consists of the tetra-ethoxy silane 100 weight section, the ethanol 100 weight section, and the pure-water 70 weight section, it is made to distribute, carrying out 15 weight sections addition of the above-mentioned pigment (the weight ratio of R and Y being 70:30), and agitating for 30 minutes in ordinary temperature, the hydrochloric-acid 0.3 weight section is added to this after that, and distribution is further continued in ordinary temperature for 1 hour. Then, it considers as a coloring sol solution by adding and diluting the sol solution 3 and pure water 3 which have not added the coloring agent to this coloring sol solution 1.

[0168] Subsequently, as shown in drawing 28 (E), partial 505a of the polysilane layer corresponding to the contact section is exposed by ultraviolet rays from a substrate front-face side using the mask 514 which carried out opening of the contact section. Subsequently, as shown in drawing 28 (F), a TFT array substrate is immersed in the conductive sol solution which distributed the particle of iotaTO, after that, this is rinsed, prebaking for about 30 minutes is performed at 100–115 degrees C, and the contact section 505 is formed. In addition, a conductive sol solution can transpose the pigment content of an above-mentioned coloring sol solution to the particle of iotaTO, and can obtain it like a coloring sol solution.

[0169] Subsequently, as shown in drawing 28 (G), partial 503a of the polysilane layer corresponding to the black matrix section is exposed by ultraviolet rays from a substrate front-face side using the mask which carried out opening of the black matrix section. Subsequently, as shown in drawing 28 (H), a TFT array substrate is immersed in the black coloring sol solution which distributed the pigment (the weight ratio of R, B, Y, and V is 15:20:20:15) of R, B, yellow (Y), and purple (V), this is rinsed, prebaking for about 30 minutes is performed at 100–115 degrees C, and the black matrix section 503 is formed. In addition, this coloring sol solution can be obtained like an above-mentioned coloring sol solution.

[0170] Next, as shown in drawing 28 (I), the liquid 518 made to dissolve a polysilane constituent in an organic solvent is again applied and prebaked using a nozzle coating method. Then, as shown in drawing 28 (J), the part equivalent to a pixel electrode exposes a polysilane layer using the mask 514 by which opening was carried out. Subsequently, as shown in drawing 28 (K), a TFT array substrate is immersed in the conductive sol solution which distributed the particle of ItauO, and the contact section 505 and the pixel electrode 506 are formed. Furthermore, the orientation film 517 is formed on the pixel electrode 506, and rubbing processing is performed.

[0171] On the other hand, a transparent electrode 516 is formed by sputtering etc. on a glass substrate 501, the orientation film 517 is further formed on it, and rubbing processing is performed.

[0172] Thus, as each orientation film 517 counters, it arranges the opposite substrate X and the TFT array substrate Y which were obtained, the liquid crystal layer 515 is formed among both substrates, and a liquid crystal display is completed.

[0173] Thus, the TFT array substrates Y are very few things of surface irregularity, and since the obtained liquid crystal display is excellent also in the electrical installation between a pixel electrode and TFT, it is excellent in color reproduction nature or contrast.

[0174] (Example 10) A liquid crystal display is produced like an example 9 except performing direct

rubbing processing to the coloring section, the contact section, the black matrix section, and the front face that formed the pixel electrode using polysilane, without forming the orientation film 517 in the TFT array substrate Y. After rubbing processing forms the contact section 505 and the pixel electrode 506, it is performed, and heating prebaking is performed after that. In addition, rubbing processing can also be performed after carrying out heating prebaking.

[0175] Thus, since the TFT array substrates Y are very few things of surface irregularity and the electrical installation between a pixel electrode and TFT is also excellent in them, the obtained liquid crystal display is also excellent in color reproduction nature or contrast. Moreover, according to the approach of an example 10, an orientation film formation process and orientation down stream processing can be skipped.

[0176] (Example 11) The liquid crystal display concerning the 2nd operation gestalt may be a configuration which forms the pixel electrode 506 only on the contact section 505 of the stratum functionale, and the coloring section 504, and is not prepared on the black matrix section 503, as shown in drawing 29. That is, the direct orientation film 517 is formed on the black matrix section 503.

[0177] Thus, since the TFT array substrates Y are very few things of surface irregularity and the electrical installation between a pixel electrode and TFT is also excellent in them, the obtained liquid crystal display is also excellent in color reproduction nature or contrast.

[0178] As mentioned above, the substrate for displays of the 2nd operation gestalt can connect easily TFT and the pixel electrode formed on the stratum functionale through the stratum functionale, without passing through a complicated process. Moreover, since R, G, the Bth place color part, the black matrix section, and the contact section are formed in the same stratum functionale, the substrate for displays excellent in smooth nature is obtained.

[0179] [the 3rd operation gestalt] -- with the 3rd operation gestalt, on both sides of the whole opening which consists of organic-inorganic hybrid glass, storage capacitance is formed with an ITO electrode, and improvement in a numerical aperture is aimed at. Moreover, the gate dielectric film of a switching element is formed with organic-inorganic hybrid glass, and low temperature-ization of a gate-dielectric-film formation process is attained.

[0180] Hereafter, the example of the 3rd operation gestalt is explained.

[0181] (Example 12) Drawing 30 is the sectional view of the substrate for displays concerning the 3rd operation gestalt of this invention (array substrate). 301 in drawing shows a glass substrate. On the glass substrate 301, metal part 303a of the gate line 302 and Cs line is formed, and transperence partial 303b of Cs line is formed on metal part 303a. Moreover, silicon oxide 304 is formed. This transperence partial 303b consists of ITO(s), and a part of this transperence partial 303b is covered with silicon oxide 304. on silicon oxide 304, the a-Si barrier layer 306 carries out patterning, and forms -- having -- \*\*\*\* -- a part of a-Si barrier layer 306 -- upwards, the SiNx stopper film 307 is formed. Furthermore, on the a-Si barrier layer 306 and the SiNx stopper film 307, the n+a-Si layers 308a and 308b are formed in the condition of having dissociated mutually. Furthermore, on n+a-Si layer 308a and 308b, as the edge of the a-Si barrier layer 306 is covered, the drain electrode 310 and the source electrode 309 are formed.

[0182] Thus, on formed TFT and Cs line, stratum functionale 313,314a and 314b is formed. This stratum functionale contains the field 313 which is colored R, G, and B and shows insulation, the black electrically connected with the pixel electrode 312 prepared on the stratum functionale, conductive contact field 314a and black, and insulating black matrix section 314b.

[0183] The TFT array substrate which has the above-mentioned configuration is the following, and can be made and manufactured. First, metal part 303a of the gate line 302, the address line (not shown), and Cs line is formed in coincidence by carrying out sputtering of the MoTa alloy and carrying out patterning by 300nm in thickness, on a glass substrate 301.

[0184] Subsequently, transperence partial 303b of Cs line is formed by carrying out sputtering of the ITO and carrying out patterning by 150nm in thickness, on metal part 303a. Subsequently, silicon oxide (gate dielectric film) 304 with a thickness of 400nm is formed by plasma CVD on it, patterning of the a-

Si barrier layer 306 with a thickness of 100nm is formed and carried out, and patterning of the SiN<sub>x</sub>i stopper film 307 with a thickness of 50nm is formed and carried out on it. Furthermore, patterning of the n<sup>+</sup>a-Si layers 308a and 308b with a thickness of 50nm is formed and carried out on the a-Si barrier layer 306 and the SiN<sub>x</sub>i stopper film 307. Subsequently, the drain electrode 310, the source electrode 309, and data wiring are formed in coincidence by carrying out sputtering of the predetermined wiring metals, such as aluminum, and carrying out patterning.

[0185] Next, the 5-% of the weight toluene solution of the methylene phenyl polysilane shown in the above-mentioned formula 4 is applied by 2.0 micrometers of thickness with a spin coat, and contact partial 314a with a pixel electrode is exposed with deep-UV light (280 to 320 nm) through a photo mask. Subsequently, it is immersed in the black sol Ringer's injection for conductivity of the following presentations of this TFT array substrate, a rinse is carried out with pure water after that, and it bakes for 10 minutes at 100 degrees C to this further. After baking, this contact section 314a becomes black, and, moreover, has conductivity.

[0186]

(Presentation of the black sol Ringer's injection for the contact sections (for conductivity))

Carbon black particle (mean particle diameter of 0.3 micrometers) 5g Methanol (CH<sub>3</sub> OH) 30ml Indium acetylacetonate (In (COCH<sub>2</sub> COCH<sub>3</sub>))

20ml Tin acetylacetonate (Sn (COCH<sub>2</sub> COCH<sub>3</sub>))

1ml Water 85ml Hydrochloric acid (HCl) 0.25ml Acetonitrile The pixel parts of R, G, and B are produced in 8ml, next the same process as the above. The presentation of the sol Ringer's injection in that case is shown below. This R and G, and area B 313 have insulation after baking.

[0187]

(Presentation of the sol Ringer's injection for RGB (for insulation))

Pigment (mean particle diameter of 0.1 micrometers) 0.5 to 1.5 g (it changes with R, G, and B)

A methanol (CH<sub>3</sub> OH) 30ml Tetra-ethoxy silane (Si<sub>4</sub> (OC two H<sub>5</sub>)) 20ml Water 85ml Hydrochloric acid (HCl) 0.25ml Acetonitrile Exposing 8ml, next the whole TFT array substrate surface, a subsequent process forms the remaining black matrix section (insulating section) 314b like the above. The presentation of the sol Ringer's injection in that case is shown below. Next, it bakes by 60 minutes at 250 degrees C. This BM section 314b becomes black, and, moreover, has insulation.

[0188]

(Presentation of the sol Ringer's injection for insulating black matrices)

a pigment (the mean particle diameter of 0.3micro, R, G and B, and cyanogen --) Mixing of violet and a yellow pigment 5g Methanol (CH<sub>3</sub> OH) 30ml Tetra-ethoxy silane (Si<sub>4</sub> (OC two H<sub>5</sub>)) 20ml Water 85ml Hydrochloric acid (HCl) 0.25ml Acetonitrile 8ml is carried out in this way, and the stratum functionale is formed. Finally, the pixel electrode 312 is formed by carrying out sputtering of the ITO and carrying out patterning by 150nm in thickness, on the stratum functionale.

[0189] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, in the manufactured liquid crystal display, it is reliable, and since most Cs sections moreover turn into opening, a high numerical aperture is realizable, since the stratum functionale (the contact section, R and G, the B section, and the BM section) consists of organic-inorganic hybrid glass.

[0190] (Example 13) Drawing 31 is the sectional view of the substrate for displays concerning the 3rd operation gestalt of this invention. In drawing 31, the same sign as drawing 30 is attached about the same part as drawing 30, and the detailed explanation is omitted.

[0191] In the substrate for displays of drawing 31 (array substrate), silicon oxide 304 is formed so that metal part 303a of Cs line may be covered, transparence partial 303b of Cs line is formed on silicon oxide 304, and the contact hole established in silicon oxide 304 performs contact between metal part

303a' and transparence partial 303b.

[0192] On TFT and Cs line, stratum functionale 313,314a and 314b is formed. This stratum functionale contains the field 313 which is colored R, G, and B and shows insulation, the black electrically connected with the pixel electrode 312 prepared on the stratum functionale, conductive contact field 314a and black, and insulating black matrix section 314b.

[0193] The substrate for displays which has the above-mentioned configuration is the following, and can be made and manufactured. By carrying out sputtering of the MoTa alloy by 300nm in thickness on a glass substrate 301, metal part 303a of the gate line 302, the address line (not shown), and Cs line is formed in coincidence. Subsequently, silicon oxide (gate dielectric film) 304 is formed by 400nm in thickness by plasma CVD, and patterning is carried out. Subsequently, transparence partial 303b of Cs line is formed by establishing a contact hole in the silicon oxide 304 on metal part 303a, and carrying out sputtering of the ITO by 150nm in thickness on silicon oxide 304. At this time, metal part 303a of Cs line and transparence partial 303b are connected electrically in the contact hole.

[0194] The following processes (formation of TFT, the stratum functionale, and a pixel electrode) are performed like an example 12.

[0195] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, in the manufactured liquid crystal display, it is reliable, and since most Cs sections moreover turn into opening, a high numerical aperture is realizable, since the stratum functionale (the contact section, R and G, the B section, and the BM section) consists of organic-inorganic hybrid glass.

[0196] (Example 14) Drawing 32 is the sectional view of the substrate for displays concerning the 3rd operation gestalt of this invention. In drawing 32, the same sign as drawing 30 is attached about the same part as drawing 30, and the detailed explanation is omitted.

[0197] In the substrate for displays of drawing 32 (array substrate), silicon oxide 304 is formed on the gate line 302 and metal part 303a of Cs line, the field which functions as gate dielectric film is made into insulation, and the field which functions as transparence partial 303b of Cs line is made into conductivity.

[0198] On TFT and Cs line, stratum functionale 313,314a and 314b is formed. This stratum functionale contains the field 313 which is colored R, G, and B and shows insulation, the black electrically connected with the pixel electrode 312 prepared on the stratum functionale, conductive contact field 314a and black, and insulating black matrix section 314b.

[0199] Such a substrate for displays of a configuration is the following, and can be made and manufactured. By carrying out sputtering of the MoTa alloy and carrying out patterning by 300nm in thickness, on a glass substrate 301, metal part 303a of the gate line 302, the address line (not shown), and Cs line is formed in coincidence. Subsequently, the 5-% of the weight toluene solution of methylphenyl polysilane (formula 4) is applied by 400nm of thickness with a spin coat on this, and gate-dielectric-film 304 part is alternatively exposed with deep-UV light (280 to 320 nm) through a photo mask. Subsequently, after being immersed in the sol Ringer's injection of the following presentations of this glass substrate, a rinse is carried out with pure water, and it bakes in 100 degrees C and 10 minutes. After baking, this part 304 has insulation.

[0200]

(Presentation of the sol Ringer's injection for gate dielectric film)

A methanol (CH<sub>3</sub> OH) 30ml Tetra-ethoxy silane (Si<sub>4</sub> (OC two H<sub>5</sub>)) 20ml Water 85ml Hydrochloric acid (HCl) 0.25ml Acetonitrile 8ml, next this whole glass substrate surface are exposed, after being immersed in the sol Ringer's injection of the following presentations after that, a rinse is carried out with pure water, and it bakes after that in 250 degrees C and 1 hour. After baking, this partial 303b is transparent and has conductivity.

[0201]

(Presentation of the sol Ringer's injection for Cs transparent electrodes)

Methanol ( $\text{CH}_3\text{OH}$ ) 30ml Indium acetylacetonate ( $\text{In}(\text{COCH}_2\text{COCH}_3)$ )

20ml Tin acetylacetonate ( $\text{Sn}(\text{COCH}_2\text{COCH}_3)$ )

1ml Water 85ml Hydrochloric acid ( $\text{HCl}$ ) 0.25ml Acetonitrile A process (formation of TFT, the stratum functionale, and a pixel electrode) 8ml or less is performed like an example 12.

[0202] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, in the manufactured liquid crystal display, it is reliable, and since most Cs sections moreover turn into opening, a quantity numerical aperture is realizable, since the stratum functionale, and (gate dielectric film, the contact section, R and G, the B section and the BM section) consist of organic-inorganic hybrid glass. Furthermore,  $\text{SiO}_2$  formed of the conventional sputtering since gate dielectric film was produced in the process using polysilane Compared with the film, a low-temperature process becomes possible, and it can form also in a plastic plate.

[0203] (Example 15) Drawing 33 is the sectional view of the substrate for displays concerning the 3rd operation gestalt of this invention. In drawing 33, the same sign as drawing 30 is attached about the same part as drawing 30, and the detailed explanation is omitted.

[0204] In the substrate for displays of drawing 33 (array substrate), the insulator layer 304 prepared on the gate line 302 and the Cs line 303 is constituted from organic-inorganic hybrid glass, and the field which functions as gate-dielectric-film 304a, and the field which functions as insulator layer 304 for Cs b are formed.

[0205] On TFT and Cs line, stratum functionale 313, 314a and 314b is formed. This stratum functionale contains the field 313 which is colored R, G, and B and shows conductivity, black, conductive contact field 314a and black, and insulating black matrix section 314b.

[0206] Such a substrate for displays of a configuration is the following, and can be made and manufactured. By carrying out sputtering of the MoTa alloy and carrying out patterning by 300nm in thickness, on a glass substrate 301, the gate line 302, the address line (not shown), and the Cs line 303 are formed in coincidence.

[0207] Next, with a thickness of 400nm gate-dielectric-film 304a and insulator layer 304b for Cs are formed in coincidence by applying the sol Ringer's injection of the following presentations with a spin coat, and baking at 200 degrees C for 3 hours. This part is transparent and has insulation.

[0208]

(Presentation of the object for gate dielectric film, and the sol Ringer's injection for Cs insulator layers) Ethanol ( $\text{C}_2\text{H}_5\text{OH}$ ) 30ml Tetra-ethoxy silane ( $\text{Si}_4(\text{OC}_2\text{H}_5)_4$ ) 20ml Water 20ml Hydrochloric acid ( $\text{HCl}$ ) A process (TFT, stratum functionale (contact section)) 0.3ml or less is performed like an example 12.

[0209] Next, the pixel parts of R, G, and B are produced in the same process as the above. The presentation of the sol Ringer's injection in that case is shown below. This R and G, and the B part 313 have conductivity after baking.

[0210]

(Presentation of the sol Ringer's injection for RBG)

Pigment (mean particle diameter of 0.1 micrometers) 0.5 to 1.5 g (it changes with R, G, and B)

Methanol ( $\text{CH}_3\text{OH}$ ) 30ml Indium acetylacetonate ( $\text{In}(\text{COCH}_2\text{COCH}_3)$ )

20ml Tin acetylacetonate ( $\text{Sn}(\text{COCH}_2\text{COCH}_3)$ )

1ml Water 85ml Hydrochloric acid ( $\text{HCl}$ ) 0.25ml Acetonitrile Exposing 8ml, next the whole TFT array substrate surface, a subsequent process forms the remaining black matrix section (insulating section) 314b like an example 12. After baking, this partial 314b is black, and has insulation.

[0211] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of

the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, in the manufactured liquid crystal display, it is reliable, and since most Cs sections moreover turn into opening, a quantity numerical aperture is realizable, since the stratum functionale, and (gate dielectric film, the contact section, R and G, the B section and the BM section) consist of organic-inorganic hybrid glass. Furthermore, SiO<sub>2</sub> formed of the conventional sputtering since gate dielectric film was produced in the process using polysilane Compared with the film, a low-temperature process becomes possible, and it can form also in a plastic plate.

[0212] (Example 16) Drawing 34 is the sectional view of the substrate for displays concerning the 3rd operation gestalt of this invention. In drawing 34, the same sign as drawing 33 is attached about the same part as drawing 33, and the detailed explanation is omitted.

[0213] In the substrate for displays of drawing 34 (array substrate), the pixel electrode 312 is formed on insulator layer 304b for Cs.

[0214] The stratum functionale 313,314 is formed on TFT and Cs line. This stratum functionale contains the field 313 which is colored R, G, and B and shows conductivity, and black and the insulating black matrix section 314.

[0215] The substrate for displays which has such a configuration is the following, and can be made and manufactured. By carrying out sputtering of the MoTa alloy and carrying out patterning by 300nm in thickness, on a glass substrate 301, the gate line 302, the address line, and the Cs line 303 are formed in coincidence.

[0216] Next, as it is shown in an example 15, with a thickness of 400nm gate-dielectric-film 304a and insulator layer 304b for Cs are formed in coincidence. This part is transparent and has insulation.

[0217] The following processes (TFT, stratum functionale (the RGB section, black matrix section)) are performed like an example 12. In addition, the stratum functionale (the RGB section, black matrix section) has insulation.

[0218] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel. Thus, in the manufactured liquid crystal display, since the stratum functionale (the contact section, R and G, the B section, and the BM section) consists of organic-inorganic hybrid glass, it is cheap, and is reliable and, moreover, a high numerical aperture, high definition, and a low power can be realized. Furthermore, SiO<sub>2</sub> formed of the conventional sputtering since gate dielectric film was produced in the process using polysilane Compared with the film, a low-temperature process becomes possible, and it can form also in a plastic plate.

[0219] As mentioned above, as an ingredient of gate dielectric film, by using organic-inorganic hybrid glass, it becomes a low-temperature process and TFT can be formed on a plastic plate in the 3rd operation gestalt. Moreover, in this invention, a numerical aperture can be raised by constituting the whole Cs line from a color filter of light transmission nature. Consequently, the liquid crystal display of a low power can be offered.

[the 4th operation gestalt] -- with the 4th operation gestalt, when forming a pixel electrode on a color filter layer, it is characterized by forming a pixel electrode through an insulator layer on the stratum functionale that it should solve that micro processing is impossible.

[0220] Hereafter, the example of the substrate for displays concerning the 4th operation gestalt is explained. (Example 17) Drawing 35 is the sectional view of the liquid crystal display concerning the 4th operation gestalt of this invention. 611 in drawing shows a glass substrate. The gate electrode 612 is formed on the glass substrate 611, and silicon oxide 613 is formed on it. On silicon oxide 613, the island-like a-Si barrier layer 614 is formed. The slot is prepared on the a-Si barrier layer 614, and the slot dissociates. Moreover, on the separated a-Si barrier layer 614, drain electrode 616a and source



electrode 616b are formed through the n+a-Si contact layers 615a and 615b, respectively. The SiNx film 617 is formed on drain electrode 616a and source electrode 616b. This SiNx film 617 is laid underground by Mizouchi for separation. On the SiNx film 617, 618d (FURAKKU matrix section) of stratum functionale made from polysilane is formed. Furthermore, the insulator layer 6110 is formed on 618d of stratum functionale made from polysilane.

[0221] On the other hand, on the glass substrate 611, the storage capacitance lines (Cs line) 619a-619c are formed, and electrode 6112for contact a' - 6112c' is formed through silicon oxide 613 on Cs line 619a - 619c. Furthermore, on it, the SiNx film 617, the stratum functionale 618a-618c made from polysilane, and an insulator layer 6110 are formed. On Cs line 619a - 619c, the contact holes 6112a-6112c which reach electrode 6112for contact a' - 6112c' are formed, respectively, and the pixel electrodes 6113a-6113c made from ITO are formed in contact hole 6112a - 6112c. Moreover, the contact hole is formed also on source electrode 616b, and pixel electrode 6113made from ITO a is formed in this contact hole. Thus, the TFT array substrate is constituted.

[0222] Moreover, a counterelectrode 6115 is made to counter TFT, and in the TFT array substrate upper part, the glass substrate (opposite substrate) 6114 which has a counterelectrode 6115 makes, and is arranged in it. The liquid crystal layer 6116 is pinched between this TFT array substrate and an opposite substrate.

[0223] The liquid crystal display which has the above-mentioned configuration is the following, and can be made and manufactured. First, the gate electrode 612, the address line (scanning line) which is not illustrated, and the Cs line (capacity line) 619 are formed in coincidence by carrying out sputtering of the Mo-Ta alloy, and carrying out patterning by 300nm in thickness, on a glass substrate 611.

[0224] Subsequently, silicon oxide 613 is formed by 350nm in thickness by plasma CVD on it, an a-Si layer is formed by 300nm in thickness on it, and sequential formation of the n+a-Si layer is further carried out by 50nm in thickness on it. Subsequently, patterning of an a-Si layer and the n+a-Si layer is carried out, and the island-like a-Si barrier layer 614 and the n+a-Si contact layers 615a and 615b are formed. At this time, after separation of the n+a-Si contact layers 615a and 615b forms a source drain electrode, dry etching (Reactive Ion Etching), for example, RIE, performs it.

[0225] Subsequently, the SiOx film 613 of the contact section is etched using rare HF, and the contact hole of the drawer electrode of a gate line and a signal line is formed. next -- n -- + -- a-Si -- contact -- a layer -- 615 -- a -- 615 -- b -- a top -- aluminum -- the film -- sputtering -- forming -- patterning -- carrying out -- a drain -- an electrode -- 616 -- a -- the source -- an electrode -- 616 -- b -- not illustrating -- data -- wiring (signal line) -- and -- contact -- the section -- an electrode -- 6112 -- a -- ' - 6112 -- c -- ' -- coincidence -- forming . Contact section electrode 6112a' - 6112c' can form Cs capacity by Cs line-contact section inter-electrode by connecting with the pixel electrodes 6113a-6113c, respectively, and becoming this potential. In this case, the insulator layer for Cs can be formed with gate dielectric film. then -- the above -- a drain -- an electrode -- 616 -- a -- the source -- an electrode -- 616 -- b -- and -- contact -- the section -- an electrode -- 6112 -- a -- ' - 6112 -- c -- ' -- a top -- plasma CVD -- the SiNx film 617 -- 300nm in thickness -- forming membranes .

[0226] Subsequently, the polysilane film is formed by applying and prebaking polysilane on a spin coat etc. on this SiNx film 617. Ultraviolet rays are alternatively exposed on this polysilane film, and the latent image of a dyeing pattern is formed. Pattern dyeing of the exposure section of the polysilane film is carried out alternatively, and the exposure section is made to vitrify by baking this after that by immersing this substrate into the dipping liquid containing a basic dye, after this latent image is formed. This exposure, DIPINGU, and baking are repeated 3 times about RGB, respectively, and the coloring sections 618a-618c are formed. Subsequently, expose the whole surface, form a latent image in all the parts that are not vitrified, a substrate is immersed in a carbon black sol after that, the coloring section and the black matrix section are made to vitrify completely, postbake of this is carried out in 250 degrees C and about 60 minutes, and dyeing of 618d of black matrix sections is performed. Thus, a color filter and a black matrix are produced on a TFT array substrate.

[0227] Next, they are the SiNx film 617 of the contact sections 6111 and 6112a after forming on this the SiOx insulator layer 6110 which is a protective coat in plasma CVD by 10nm in thickness, the stratum functionale 618, and SiOx617 CF4+O2 Dry etching is carried out by mixed gas, and a contact hole is formed. Subsequently, the pixel electrodes 6113a-6113c are formed by carrying out sputtering of the ITO to this, and carrying out patterning to it. On the other hand, on the opposite substrate 6114, the opposite substrate 6114 side carries out sputtering of the ITO, and forms the common electrode 6115. Opposite arrangement of this opposite substrate 6114 and the above-mentioned TFT array substrate 611 is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel.

[0228] Although etching of ITO was mainly performed using the mixed solution of HCl+HNO3+H2 O, when ITO was directly formed on the color filter made from polysilane, side etching had become 1 micrometers or more to the pattern of a resist in the top whose adhesion of both is not good. So, when a SiOx insulator layer was formed by plasma CVD and the ITO film was formed through this SiOx insulator layer like this invention after forming a color filter, the adhesion of the ITO film improves upwards, side etching was also set to 0.5 micrometers or less, and the pixel electrode with a sufficient pattern precision has been formed.

[0229] Furthermore, since the diameter of crystal grain etc. changes considerably with substrates, if the ITO film which formed membranes by sputtering forms the direct ITO film on the color filter made from polysilane currently dyed with the color, the ITO film with which membraneous qualities, such as resistivity and permeability, differ will be formed with each coloring matter of RGB. Moreover, although it was also when ITO became cloudy according to the conditions of membrane formation etc., according to this invention, by using an insulator layer as a protective coat on the color filter made from polysilane, it was not able to be influenced of each coloring matter of RGB, but the equal good pixel electrode of membraneous quality was able to be formed. When thickness was 10nm or more at this time, flattening could be realized and the effect of coloring matter was able to be prevented.

[0230] (Example 18) Drawing 36 is the sectional view of the array substrate of the liquid crystal display concerning the 4th operation gestalt of this invention. In addition, the sign same about the same part as drawing 35 as drawing 35 is attached, and the detailed explanation is omitted.

[0231] Although the example 17 explained the case where the insulator layer for storage capacitance consisted of gate dielectric film, an example 18 explains the structure where the color filter made from polysilane serves as storage capacitance. In this case, also in order to prevent reduction in storage capacitance, the thinner one of the thickness of the insulator layer on the color filter made from polysilane is good, and 10 to its about 50nm is desirable.

[0232] In this array substrate, electrode 6112' for contact is not prepared on Cs line 619a. That is, Cs line 619a is formed through silicon oxide 613 on the glass substrate 611, and stratum-functionale 618made from polysilane a is formed through the SiNx film 617 on it.

[0233] The array substrate which has the above-mentioned configuration is the following, and can be made and manufactured. First, the gate electrode 612 and the address line (scanning line) which is not illustrated are formed in coincidence by carrying out sputtering of the Mo-Ta alloy, and carrying out patterning by 300nm in thickness, on a glass substrate 611.

[0234] Subsequently, silicon oxide 613 is formed by 350nm in thickness by plasma CVD on it, an a-Si layer is formed by 300nm in thickness on it, and sequential formation of the n+a-Si layer is further carried out by 50nm in thickness on it. Subsequently, patterning of an a-Si layer and the n+a-Si layer is carried out, and the island-like a-Si barrier layer 614 and the n+a-Si contact layers 615a and 615b are formed. At this time, after separation of the n+a-Si contact layers 615a and 615b forms a source drain electrode, RIE etc. performs it.

[0235] Subsequently, the SiOx film of the drawer polar zone of a gate line and a signal line is etched using rare HF, and a contact hole is formed. Next, on n+a-Si contact layer 615a and 615b, aluminum film is formed by sputtering, carries out patterning, and drain electrode 616a, source electrode 616b, data

wiring (signal line) that is not illustrated, and the storage capacitance line (Cs line) 619 are formed at coincidence. Then, SiNx617 is formed by 300nm in thickness by plasma CVD on this.

[0236] Subsequently, the polysilane film is formed by applying and prebaking polysilane on a spin coat etc. on this SiNx film 617. Ultraviolet rays are alternatively exposed on this polysilane film, and the latent image of a dyeing pattern is formed. Pattern dyeing of the polysilane film is carried out, and the exposure section is made to vitrify by baking this after that by carrying out dipping of this array substrate into the dipping liquid containing a basic dye, after this latent image is formed. This exposure, dipping, and baking are repeated 3 times about RGB, respectively, and coloring section 618a (618b, 618c) is formed. Subsequently, after exposing the whole surface, it is immersed in a carbon black sol and a substrate is made to vitrify completely [ the coloring section and 618d of black matrix sections ], postbake of this is carried out in 250 degrees C and about 60 minutes, and dyeing of 618d of black matrix sections is performed. Thus, a color filter and a black matrix are produced on a TFT array substrate.

[0237] Next, they are SiNx of the putt polar zone after forming on this the SiOx insulator layer 6110 which is a protective coat in plasma CVD by 10nm in thickness, and the contact section 6111, a color filter, and SiOx CF4+O2 Dry etching is carried out by mixed gas, and a contact hole is formed. Next, pixel electrode 6113a (6113b, 6113c) is formed by carrying out sputtering of the ITO to this, and carrying out patterning to it.

[0238] On the other hand, on an opposite substrate, an opposite substrate side carries out sputtering of the ITO, and forms a common electrode. Opposite arrangement of this opposite substrate and the above-mentioned TFT array substrate 611 is carried out, a cel is assembled, and a liquid crystal display is completed by injecting a liquid crystal ingredient into this cel.

[0239] Since it has the structure where a color filter serves as the insulator layer for storage capacitance formation according to the example 18, the contact section electrode formation which was required of the example 17 becomes unnecessary, and the yield improves.

[0240] above-mentioned the 1- if needed, the technique in the 4th operation gestalt can be combined suitably, and can be carried out.

[0241]

[Effect of the Invention] According to this invention, the following effectiveness is acquired.

[0242] According to this invention, various functions can be given [ 1st ] to organic-inorganic hybrid glass formed in the same layer. By forming this stratum functionale on TFT, it can have a role of flattening film, the irregularity of an array substrate front face can decrease remarkably, and gap control precision can obtain the thing of severe high-speed answer mode by the high yield. Since surface smoothness is high, a numerical aperture can be made 90% or more, and power consumption can be kept low.

[0243] By the approach of preparing the stratum functionale made from polysilane on an array substrate, since the poor TFT nonuniformity which the damage given to TFT since there are few routing counters is small, and poses a problem especially by the big screen compared with the conventional pigment-content powder method does not arise in the 2nd, it can be provided with a big screen display by the high yield.

[0244] By the approach of using the stratum functionale made from polysilane for the 3rd, since various functions can be given to the same layer, an ingredient is reducible. Furthermore, the above Embodiment By making it the mode of 1-4, the yield can be raised further.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] (A) - (D) is the sectional view showing the process which manufactures the substrate for displays of this invention.

[Drawing 2] For (A), (B) is the top view showing TFT substrate with another gate line and Cs line, and the representative circuit schematic of the TFT substrate shown in (A).

[Drawing 3] For (A), (B) is the top view showing the TFT substrate of Cs on-gate structure, and the representative circuit schematic of the TFT substrate shown in (A).

[Drawing 4] The explanatory view showing the pad section of the liquid crystal display in this invention.

[Drawing 5] The sectional view showing the pad section of the liquid crystal display in this invention.

[Drawing 6] The sectional view showing the pad section of the liquid crystal display in this invention.

[Drawing 7] The sectional view showing the pad section of the liquid crystal display in this invention.

[Drawing 8] (A) and (B) are the sectional view showing the making process of the pad section shown in drawing 5 .

[Drawing 9] (A) - (D) is the sectional view showing the making process of the pad section shown in drawing 6 .

[Drawing 10] (A) - (E) is the sectional view showing the making process of the pad section shown in drawing 7 .

[Drawing 11] (A) - (E) is a sectional view for explaining the manufacture approach of the substrate for displays in the 1st operation gestalt.

[Drawing 12] The sectional view showing the substrate for displays concerning the 1st operation gestalt of this invention.

[Drawing 13] The sectional view showing the substrate for displays concerning the 1st operation gestalt of this invention.

[Drawing 14] The sectional view showing the contact section in the substrate for displays shown in drawing 13 .

[Drawing 15] The sectional view showing the substrate for displays in the 2nd operation gestalt of this invention.

[Drawing 16] (A) - (H) is a sectional view for explaining the manufacture approach of the substrate for displays shown in drawing 15 .

[Drawing 17] The sectional view showing the substrate for displays in the 2nd operation gestalt of this invention.

[Drawing 18] (A) - (H) is a sectional view for explaining the manufacture approach of the substrate for displays shown in drawing 17 .

[Drawing 19] The sectional view showing the substrate for displays in the 2nd operation gestalt of this invention.

[Drawing 20] (A) - (H) is a sectional view for explaining the manufacture approach of the substrate for displays shown in drawing 19 .

[Drawing 21] The sectional view showing the substrate for displays in the 2nd operation gestalt of this invention.

[Drawing 22] The sectional view showing the substrate for displays in the 2nd operation gestalt of this invention.

[Drawing 23] (A) – (I) is a sectional view for explaining the manufacture approach of the substrate for displays shown in drawing 21 and drawing 22 .

[Drawing 24] (A) – (G) is a sectional view for explaining the manufacture approach of the substrate for displays shown in drawing 21 and drawing 22 .

[Drawing 25] The sectional view showing the substrate for displays in the 2nd operation gestalt of this invention.

[Drawing 26] (A) – (G) is a sectional view for explaining the manufacture approach of the substrate for displays shown in drawing 25 .

[Drawing 27] The sectional view showing the substrate for displays in the 2nd operation gestalt of this invention.

[Drawing 28] (A) – (K) is a sectional view for explaining the manufacture approach of the substrate for displays shown in drawing 27 .

[Drawing 29] The sectional view showing the substrate for displays in the 2nd operation gestalt of this invention.

[Drawing 30] The sectional view showing the substrate for displays in the 3rd operation gestalt of this invention.

[Drawing 31] The sectional view showing the substrate for displays in the 3rd operation gestalt of this invention.

[Drawing 32] The sectional view showing the substrate for displays in the 3rd operation gestalt of this invention.

[Drawing 33] The sectional view showing the substrate for displays in the 3rd operation gestalt of this invention.

[Drawing 34] The sectional view showing the substrate for displays in the 3rd operation gestalt of this invention.

[Drawing 35] The sectional view showing the substrate for displays in the 4th operation gestalt of this invention.

[Drawing 36] The sectional view showing the substrate for displays in the 4th operation gestalt of this invention.

#### [Description of Notations]

11,120 -- A glass substrate, 12,128,221 -- A gate line, 13,123 -- Silicon oxide, 14,129 -- An a-Si barrier layer, 15a, 15b and 121a, a 121 b--n+a-Si layer, 16a, 131 -- A drain electrode, 16b, 132 -- A source electrode, 17 -- SiNx film, 18a -- The stratum functionale made from polysilane, 18d -- The black matrix section, 19a, 122a-122c, a 223 --Cs line, 21,232 -- An array substrate, 22,237 -- A resist, 24 -- Dipping liquid, 25 [ -- Cs and the transparent electrode for electrodeposition, ] -- Oxide, 111,112 -- The contact section, 114 -- Beer, 124 126a-126d, a 239 -- latent image, 127a-127d -- Coloring section, 130 [ -- An external terminal, 231a / -- A pad, 231b 238 / -- Organic-inorganic hybrid glass, 233 / -- BM edge, 234 / -- The orientation film, 235 / -- Counterelectrode. ] -- The SiNx-i stopper film, 222 -- A signal line, 224,225 -- A pixel electrode, 231

---

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-327991

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1333	5 0 0	G 0 2 F	1/1333
	1/136	5 0 0		1/136

審査請求 未請求 請求項の数 5 O L (全 35 頁)

(21) 出願番号 特願平8-66635

(22) 出願日 平成8年(1996)3月22日

(31) 優先権主張番号 特願平7-74320

(32) 優先日 平7(1995)3月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福永 容子

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 辻 佳子

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 池田 光志

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

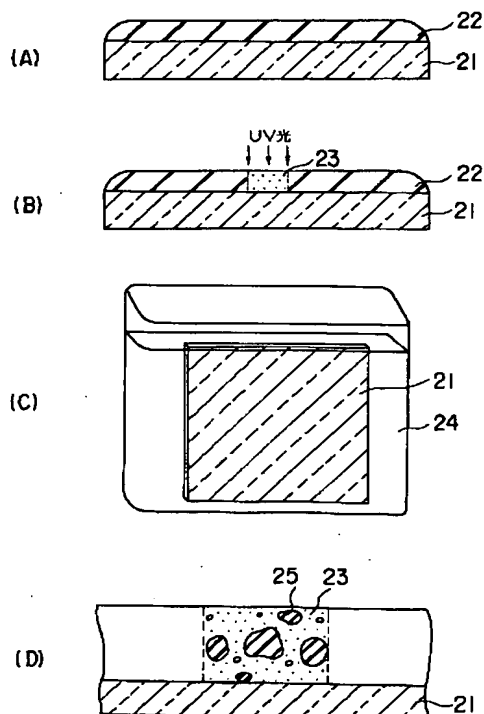
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 表示装置用基板およびそれを用いた液晶表示装置並びにその製造方法

## (57) 【要約】

【課題】本発明は、高速応答モードの液晶に適用可能であり、大画面ディスプレイに応用でき、しかも低価格である液晶表示装置を提供することを目的とする。

【解決手段】基板上に設けられたスイッチング素子と、少なくとも一部が有機-無機ハイブリッドガラスで構成されている機能層とを含む表示装置用基板、およびこの表示装置用基板を用いた液晶表示装置を提供する。



(2)

1

## 【特許請求の範囲】

【請求項1】 基板上に設けられたスイッチング素子と、少なくとも一部が有機-無機ハイブリッドガラスで構成されている機能層とを具備することを特徴とする表示装置用基板。

【請求項2】 基板上に設けられたスイッチング素子および少なくとも一部が有機-無機ハイブリッドガラスで構成されている機能層を含むアレイ基板と、前記アレイ基板に対向するように配置された対向基板と、前記アレイ基板と前記対向基板との間に設けられた液晶層と、を具備することを特徴とする液晶表示装置。

【請求項3】 基板上にスイッチング素子を形成する工程と、前記基板上にポリシラン層を形成する工程と、前記ポリシラン層に紫外線を照射して露光部にパターンの潜像を形成する工程と、この基板をディッピング液に浸漬して、前記露光部に前記ディッピング液の材料を浸み込ませる工程と、加熱により前記露光部をガラス化させて有機-無機ハイブリッドガラスとする工程と、を具備することを特徴とする表示装置用基板の製造方法。

【請求項4】 基板上にスイッチング素子を形成する工程と、前記基板上にポリシラン層を形成する工程と、前記ポリシラン層における画素電極と前記スイッチング素子との電気的接続部分に紫外線を照射して露光部にパターンの潜像を形成する工程と、導電性微粒子、In錯体、およびSn錯体からなる群より選ばれた少なくとも一つを含むディッピング液にこの基板を浸漬して、前記露光部に前記ディッピング液の材料を浸み込ませる工程と、加熱により前記露光部をガラス化させて有機-無機ハイブリッドガラスからなる導電部を形成する工程と、前記導電部を含む機能層上に画素電極を形成する工程と、を具備することを特徴とする表示装置用基板の製造方法。

【請求項5】 基板上にスイッチング素子を形成する工程と、前記基板上にポリシラン層を形成する工程と、前記ポリシラン層における画素電極となる部分に紫外線を照射して、この基板を導電性微粒子、In錯体、およびSn錯体からなる群より選ばれた少なくとも一つを含むディッピング液にこの基板を浸漬して、前記露光部に前記ディッピング液の材料を浸み込ませる工程と、加熱により前記露光部をガラス化させて有機-無機ハイブリッドガラスからなる画素電極を形成する工程と、を具備することを特徴とする表示装置用基板の製造方法。

## 【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は、スイッチング素子を有する表示装置用基板およびそれを用いた液晶表示装置並びにその製造方法に関する。

## 【0002】

【従来の技術】近年、非晶質シリコン(a-Si)膜を用いた薄膜トランジスタ(TFT)をスイッチング素子として画素毎に有するアクティブマトリックス型液晶表示装置(LCD)は、高画質であるために注目され、パーソナルコンピュータ等の表示装置として広く普及してきている。さらに、高画質、大画面のものが低価格で実現できれば、壁掛けテレビ(フラット型テレビジョン)分野に参入できる可能性もあり、大きく期待されている。アクティブマトリックス型液晶表示装置がCRTと置き代わるためには、動画表示に耐え得るように、より高速応答とすること、15インチクラスの大画面で低価格化が図れること、液晶ディスプレイの特徴としての低消費電力の特徴を損なわないことが必要となる。

【0003】高速応答化については、PT( $\pi$ -Twist)方式、HAN(Hybrid Alignment Nematic)方式、AFLC(Antiferroelectric Liquid Crystals)方式、IPS(In Plane Switching)方式を採用することにより、現状のTN(Twisted Nematic)方式( $\sim 100\text{ms}$ )より高速で応答することができるが、これらの方式は現状のTN方式よりもセルギャップ制御精度が厳しいという技術的ハードルを含む。

【0004】大画面化については、カラーフィルタおよびブラックマトリックスを対向基板上に形成した従来の液晶表示装置では、アレイ基板(TFTアレイを有する基板)と対向基板との間での位置合わせズレが、大画面のディスプレイになるほど顕著に現れるという問題がある。これを防ぐためには、合わせズレ不良部を覆う遮光性のブラックマトリックスを従来に比べて大きくする必要があるので、開口率を低くすることにつながり、開口率が低いと、バックライトの輝度を大きくしなければ充分な輝度をとることができないので、結果として低消費電力化に対する要求に応ずることができない。

【0005】また、現在最も一般的なカラーフィルタの製法である従来の顔料分散法を用いる限り、工程数が多く、無駄になる材料が多いので、歩留りが上がらず、製造コストが下がらないという問題もある。

## 【0006】

【発明が解決しようとする課題】本発明は上記の点に鑑みてなされたものであり、高速応答モードの液晶に適用可能であり、大画面ディスプレイに応用でき、しかも低価格である液晶表示装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明は、基板上に設けられたスイッチング素子と、前記基板上に形成され、少なくとも一部が有機-無機ハイブリッドガラスで構成さ

50

(3)

3

れている機能層とを具備する表示装置用基板およびこれを用いた液晶表示装置、並びにその製造方法を提供する。

【0008】本発明の表示装置用基板は、

(1) スイッチング素子上に機能層が設けられ、機能層における画素部分が導電性の有機-無機ハイブリッドガラスで構成されていること

(2) スイッチング素子上に機能層が設けられ、機能層上に画素電極が設けられ、機能層における画素部分が絶縁性の有機-無機ハイブリッドガラスで構成され、機能層における画素電極とスイッチング素子との接続部分が導電性の有機-無機ハイブリッドガラスまたは導電性高分子で構成されていること

(3) 蓄積容量線と画素電極との間に機能層が設けられ、機能層における蓄積容量線と画素電極とに挟まれる部分が絶縁性の有機-無機ハイブリッドガラスで構成され、有機-無機ハイブリッドガラスが容量蓄積用のコンデンサの絶縁膜として機能すること、またはスイッチング素子におけるゲート線と半導体層との間に機能層が設けられ、機能層におけるゲート線と半導体層とに挟まれる部分が絶縁性の有機-無機ハイブリッドガラスで構成され、有機-無機ハイブリッドガラスがゲート絶縁膜として機能すること

(4) スイッチング素し上に機能層が設けられ、機能層上に絶縁膜が設けられ、絶縁膜上に画素電極が設けられ、機能層における画素部分が絶縁性の有機-無機ハイブリッドガラスで構成されていることを特徴としている。

【0009】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して具体的に説明する。

【0010】カラー液晶表示装置がCRTに置き換わるためには、高速応答が可能であること、大画面ディスプレイに適用できること、低価格であること、液晶の特徴である低消費電力が損なわれないことが必要であるが、これらの要件を満たすためには、次のことが問題となる。すなわち、高速応答に対応する液晶表示方式の多くはギャップ制御精度が厳しいため、大画面においてギャップ制御精度を確保すること、工程数を削減して歩留りを向上させることや材料を削減すること、開口率を維持することである。

【0011】このような状況下、本発明者は、これらの問題を解決すべく、一般的なカラーフィルタプロセスである顔料分散法を用いて表示モードとしてPT、HAN、AFLC、IPSを用いた15インチサイズのカラーフィルタオンアレイ構造の液晶ディスプレイを作製した。

【0012】その結果、いずれの場合も、開口部におけるブラックマトリクス部近傍の領域において光漏れが生じ、また、画面の周辺領域に表示ムラ不良が生じた。こ

4

の光漏れ不良の原因を調べたところ、顔料分散法で形成する際に必然的に生じるカラーフィルタの段差、すなわちTFTやブラックマトリクス部に形成されるカラーフィルタと、それ以外の領域に形成されるカラーフィルタの高さの差に起因することが分った。特に、上記表示方式は、セルギャップに敏感であるので、この段差による影響が顕著に現れた。

【0013】また、ムラ不良の原因を調べたところ、TFT特性(TFTをON/OFFさせる電圧)にバラツキがあることが分かり、この原因を調べたところ、顔料分散法によるカラーフィルタ作製工程に起因することが分った。すなわち、顔料分散法では、レジスト塗布→露光→現像→ベークをR、G、Bの着色部およびブラックマトリクス部について行う必要があるため、TFTに対する負担が大きいことが考えられる。また、大画面であることもプロセスにおける温度分布発生の原因となり易く、TFT特性にバラツキが生じる要因と考えられる。

【0014】さらに、顔料分散法を用いたカラーフィルタ作製は、工程数が多いので、歩留まりが上がらず、また無駄になる材料も多く、価格が下がらないことが分かった。

【0015】そこで、本発明者は、特開平5-188215号公報等に開示されている方法、すなわち着色機材としてポリシランを用い、露光、染料や顔料を含むディッピング液への浸漬、および加熱を繰り返すことにより有機-無機ハイブリッドガラスからなるカラーフィルタを形成する方法が平坦性に優れ、しかも工程や材料を削減することができることに着目し、アレイ基板上にこの方法により機能層を形成することを新規に考案した。

【0016】そこで、アレイ基板上に上記方法でカラーフィルタ層を設けた15インチの高速応答モードの液晶ディスプレイを作製した。この液晶ディスプレイを評価したところ、アレイ基板上に顔料分散法でカラーフィルタ層を設けたものにおいて観察された光漏れ不良およびムラ不良はなくなった。しかしながら、以下の4つの新しい問題が生じた。

【0017】第1の問題は、従来のTFT基板を用い、その画素電極上に絶縁性を示す厚さ1.5 $\mu$ mのカラーフィルタ層を形成し、これを用いて液晶セルを構成して駆動させたところ、カラーフィルタ層に分配される電圧のために、液晶に印加される実効電圧が低下し、駆動電圧が従来の5Vから10Vまで上がってしまったことである。

【0018】第2の問題は、第1の問題を解決するために、カラーフィルタ層にスルーホールを形成した後、カラーフィルタ層表面にITO膜をスパッタリングにより形成し、これをエッチングして画素電極パターンを形成したところ、スルーホールにおけるスイッチング素子と画素電極との間でコンタクト不良が生じたこと、サイド



(4)

5

エッチングが生じて微細加工ができなくなってしまうことである。

【0019】本発明は、上述したTFTアレ基板の上に有機-無機ハイブリッドガラスを含む層形成するとき、新たに見つかった上記問題点を克服し、高速応答モードに適用でき、大画面ディスプレイが低価格で実現できる液晶表示装置および表示装置用基板を提供することである。

【0020】本発明は、基板上に設けられたスイッチング素子と、少なくとも一部が有機-無機ハイブリッドガラスで構成されている機能層とを具備する表示装置用基板を提供する。

【0021】本発明において、機能層とは、導電性、絶縁性、誘電率等の電気的な性質としての機能、着色性、透明性、屈折率、集光性、光拡散性等の光学的な性質としての機能を持つ層をいう。また、これらの2つ以上の性質を同時に兼ね備えることも有効である。本発明においては、1つの層の中に、電気的性質または光学的性質の異なる2種以上の機能を持つ部分がパターンニングされており、その部分の材質が有機-無機ハイブリッドガラスからなることを特徴としている。

【0022】スイッチング素子としては、薄膜トランジスタ、例えばTFT (Thin Film Transistor) およびMIM (Metal Insulator Metal) を用いることができる。

【0023】スイッチング素子として薄膜トランジスタ(TFT)を用いる際の、TFTの構造としては、ゲート電極が基板の反対側にあり、ソース電極・ドレイン電極がゲート電極の反対側にある正スタガー型、ゲート電極が基板側にあり、ソース電極・ドレイン電極がゲート電極の反対側にある逆スタガー型が挙げられる。さらに、逆スタガー型の中でも、チャネル上の $a-Si$ と $n^+a-Si$ を同時に除去するバックチャネル型、 $a-Si$ 上にエッチングストッパがある $i$ -ストッパ型が挙げられる。これらの型のいずれの型も使用することができる。

【0024】TFTに用いる半導体層は、 $a-Si$ に限らず、 $p-Si$ 、 $CdSe$ を用いて形成しても良い。また、データ線上の絶縁膜は、 $SiO_x$ に限らず $SiN_x$ でもよく、両者の積層でも良い。

【0025】TFT基板の各画素には、等価回路的には液晶容量と並列になるように蓄積容量が形成される。蓄積容量(Cs, Storage Capacitor)とは、液晶容量の信号電圧依存性や寄生容量の影響を低減し、保持回路の時定数を増加させて画質を保証するための役割をするコンデンサであり、コンデンサの一方の電極は画素電極を兼ねている。

【0026】本発明における表示装置用基板は、図2

(A)に示す独立Cs構造と図3(A)に示すCsオンゲート構造を含む。これらの等価回路は、それぞれ図2

6

(B)および図3(B)に示す。なお、図2(A)および図3(A)において、参照符号221はゲート線を示し、222は信号線を示し、223はCs線を示し、224、225は画素電極を示す。

【0027】ここで、画素電極とは、液晶駆動用の電極である。IPS以外の透過型モード表示の場合、このような電極材料としては、金属酸化系の透明導電材料が有効であり、 $SnO_2$  (ネサガラス)、ノンドープ $In_2O_3$ 、 $SnO_2$  ドープ $In_2O_3$  (ITO)、 $ZnO$ 、またはそれらに $Al_2O_3$ 、 $AlF_3$ 、 $Ga_2O_3$ 、 $Y_2O_3$ 等を微量にドープしたものをを用いることができる。その中でも、5重量%で $SnO_2$ をドープした $In_2O_3$ を用いることが特に有効である。画素電極の形成方法としては、スパッタリング法、EB法、ゾル・ゲル法等の方法を用いることができる。

【0028】本発明において、基板としては、セラミック基板、樹脂基板、金属基板、グレーズドセラミック基板、樹脂被覆金属基板等を用いることができる。特に、基板材料として、低アルカリもしくは無アルカリガラス、またはフレキシブル基板であるポリカーボネート(PC)、ポリエーテルスルホン(PES)等を用いることが望ましい。

【0029】本発明において、有機-無機ハイブリッドガラスとは、有機分子が無機ガラスの中に分散しているものをいう。有機-無機ハイブリッドガラスの無機ガラスの素材について述べる。無機ガラスは基本的に金属酸化物により構成される。その中でも、本発明において、無機ガラスの素材としては、 $SiO_2$ 、 $SnO_2$ 、 $GeO_2$ 、 $B_2O_3$ 、 $ZnO_2$ 、 $Al_2O_3$ 、 $ZrO_2$ 、 $Ti_2O_3$ 、 $BaTiO_3$ 、 $Cd_2SnO_4$ 、 $Cu_2O$ 、 $Ag_2O$ 、 $SrTiO_3$ 、 $LaCrO_3$ 、 $LaCrO_3$ 、 $WO_3$ の単体またはそれらの混合物を用いる。特に、 $SiO_2$ 、 $GeO_2$ 、 $SnO_2$ の含有量が30体積%以上あることが望ましい。

【0030】導電性を有する無機ガラスの素材としては、 $SnO_2$  (ネサガラス)、ノンドープ $In_2O_3$ 、 $SnO_2$  ドープ $In_2O_3$  (ITO)、 $ZnO$ 、あるいはそれらに $Al_2O_3$ 、 $AlF_3$ 、 $Ga_2O_3$ 、 $Y_2O_3$ 等を微量にドープしたもの、またはそれらと $SiO_2$ や $ZrO_2$ との混合物を用いることが有効である。

【0031】以下に機能層における所定の機能を有するパターンを形成する方法を説明する。図1(A)に示すように、表示装置用基板(アレ基板)21上にレジスト22を塗布し、図1(B)に示すように、所望の部分(機能を付与する部分)に紫外線を照射してレジストに潜像を形成し、図1(C)に示すように、ディッピング液24にアレ基板21を浸漬し、図1(D)に示すように、この浸漬工程の後にアレ基板21を加熱して露光部を選択的にガラス化させて酸化物25とする。この方法においては、露光部分に選択的にディッピング液が

(5)

7

侵入し、ベーキングにより露光部分がディッピング液組成を取り込んだ形でガラス化する。さらに、レジストのガラス化していない部分に紫外線露光して別のパターンの潜像を形成し、前記ディッピング液と異なるディッピング液に基板を浸漬してベーキングする工程を繰り返して所望の電気的性質、光学の性質を有する領域を形成する。ディッピング液を迅速に侵入させる方法として、アレイ基板をディッピング液に浸漬した状態でさらに電着処理を施すことも有効である。

【0032】ディッピング液の組成は、露光部に付与する特性により適宜選択する。例えば、露光部に絶縁性を付与する場合には、ディッピング液としては、水、TEOS（テトラエキトキシラン）を含むゾル・ゲル液もしくは電着液を用いる。この場合には、露光部に $\text{SiO}_2$ が形成される。また、露光部に導電性を付与する場合には、ディッピング液としては、導電性微粒子、In錯体、Sn錯体を含む液を用いる。また、露光部を着色する場合には、ディッピング液としては、顔料を含むゾル・ゲル液もしくは電着液を用いる。さらに、露光部の誘電率を調整する場合には、ディッピング液としては、その他の金属錯体を含む液を用いる。

【0033】ここで、金属錯体としては、金属アルコキシド、金属アセチルアセトネート、金属カルボキシレート等を用いることができる。特に、ITO電極を形成する材料としては、インジウムアセチルアセトネート（ $\text{In}(\text{COCH}_2\text{COCH}_3)$ ）およびスズアセチルアセトネート（ $\text{Sn}(\text{COCH}_2\text{COCH}_3)_4$ ）を用いることが有効である。

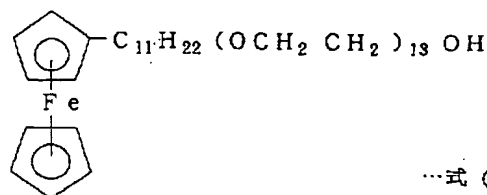
【0034】以下に本発明においてもちいるゾル・ゲル法、電着法について述べる。ゾル・ゲル法においては、ディッピング液として、金属錯体の加水分解・重合が進行することによって金属酸化物微粒子が溶解したもの（ゾル溶液）を用い、露光部に選択的にゾル溶液が侵入することを利用する。

【0035】電着工程においては、ディッピング液として、ミセル電解液を用い、前述のレジストが紫外線照射され、かつ電圧を印加（対向電極に対して $\pm 5 \sim 10$  V）された部分にのみ、数10秒（浸漬の場合は数分）でミセル電解液の組成物が侵入することを利用する。電圧を印加する場所は、ゲート線と信号線を選択することおよびゲート線と信号線に印加する電圧をコントロールすることにより行う。このミセル電解液としては、式1に示す両親媒性PEG型界面活性フェロセンと電解質の入った水溶液を用いることが有効である。また、ミセル電解液の組成物の侵入を促進するために、電解質溶液にアセトニトリルやアルコール等を20体積%以下の割合で加えることも有効である。

【0036】

【化1】

8



…式(1)

【0037】また、上記ディッピング工程の代わりに、インクジェット法等の記録技術に使用されるインク噴射技術を用いて液を吹き付ける方法等を用いることができる。インクジェットによる方法を採用した場合には、低分子量のポリシランを用いて浸漬法を用いたときにしばしば見られる、ディッピング液中へのポリシランの溶解による表面層の乱れ（凹凸）や、ピンホールの生成を防ぐことができる。

【0038】本発明に用いるレジストとしては、後工程である紫外線照射工程によりその極性（親水性・疎水性）が変化するものを用いる。具体的には、主鎖をポリシラン（ $\text{Si-Si}$ ）、ポリチン（ $\text{Sn-Sn}$ ）とし、側鎖に水素、アルキル基、アリール基、ベンゼン環等が導入されたものを用いる。

【0039】レジストは以下のようにしてガラス化される。ポリシランを例にとり説明すると、まず、疎水性のポリシラン（ $-\text{Si}-\text{Si}-$ ）は露光されることにより主鎖が切断され、空気中の酸素、水と反応することにより、親水性（ $-\text{SiOH}$ ）に変化する。この状態でディッピング液に浸漬すると、親水性の部分のみにディッピング液が浸入する。その後、これを加熱処理（ベーキング）することにより、親水性部分はシリカガラス（ $-\text{SiOH} + -\text{SiOH} \rightarrow -\text{Si}-\text{O}-\text{Si}-$ ）として固まる。このとき、側鎖の置換基およびディッピング液の組成はシリカガラスの中に埋め込まれる。一度この工程を経た部分は、光や熱に安定なシリカガラスとなる。

【0040】ポリシラン層を形成する場合、上述した樹脂を溶媒により溶液にして塗布することにより行われるが、均一なポリシラン層を形成することが可能であれば、塗布方法に制限はない。均一なポリシラン層が形成できる方法としては、スピコート法、ノズルコート法等が好ましい。

【0041】本発明において、機能層を着色性とする場合、色としては、黒、R、G、B等がある。黒の領域は薄膜トランジスタおよびその配線の位置に対応する位置（配線の上下は問わない）に形成し、ブラックマトリクスと呼ばれる。R、G、B領域は画素電極の位置に対応する位置に形成する。本発明においては、ブラックマトリクスが形成され、画素電極の位置に対応する位置が無色透明であるBMオンアレイ構造であっても良く、画素電極に対応する位置にR、G、B領域が形成され、BMは対向基板上にある構造であっても良く、BM領域とR、G、B領域が形成された構造であってもよい。

【0042】機能層を着色性とする場合、無色透明の無

(6)

9

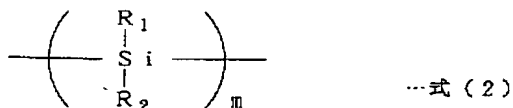
機ガラスに有色の有機分子を分散することによりR、G、B（またはY、C、M）に着色させる。BM（ブラックマトリクス）においては、有機分子のみならず黒色の無機顔料を用いることも有効である。有機分子は分子状態で無機ガラス中に分散していても良く、凝集体として分散していても良い。ただし、凝集体として無機ガラス中に分散する場合には、その平均粒径はR、G、B領域で0.2μ以下、BM部で0.4μ以下であることが望ましい。また、分子状態で無機ガラス中に分散する場合においては、液晶への分子の溶出を防ぐために、表面より深さ0.01μmの領域は、その分子を含まないことが望ましい。言い換えれば、分子状態で分散する場合には、その上に無色透明の保護膜を設けることが望ましい。

【0043】次に、着色用の素材について述べる。有機分子としては、染料を用いることも顔料を用いることも有効である。顔料を用いる場合には、その平均粒径はR、G、B領域で0.2μ以下、BM部で0.4μ以下であることが望ましい。また、分子骨格としては、フタロシアニン系、アントラキノン系、イソインドリン系、ジオキサジン系等の耐熱性・耐光性の高いものを有することが望ましい。色剤の含有量は無機ガラスに対して40体積%以下であることが望ましい。また、BM部には、無機顔料である酸化チタン（ $Ti_nO_{2n-1}$ ）、およびそれに窒素ドーパしたものを、黒味を濃くすることも有効である。

【0044】本発明に用いるポリシランとしては、以下のものが挙げられる。

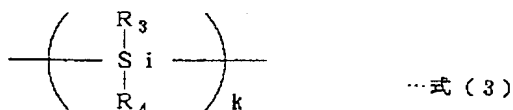
【0045】

【化2】



【0046】

【化3】



【0047】（式中、 $R_1$ 、 $R_2$ 、 $R_3$  および  $R_4$  は、互いに同一または異種の置換もしくは無置換の脂肪族炭化水素残基、脂環式炭化水素残基、芳香族炭化水素残基、水素、アルコキシ基またはアシロキシ基であり、 $m$  および  $k$  は整数である）

ポリシランは有機溶剤可溶性であり、プリベークした後の厚さで0.1～5μm程度の均一な膜を形成できるのであれば良い。ポリシランは、その分子量が小さくなると、耐熱性、耐薬品性が低下するので、特に耐熱性や耐薬品性を要求される使用環境で使用する場合には、その分子量が10,000以上となるものが好ましい。

10

【0048】また、上記式2および式3において、 $R_1$ 、 $R_2$ 、 $R_3$  および  $R_4$  はメチル基、 $n$ -プロピル基、 $n$ -ブチル基、 $n$ -ヘキシル基、フェニルエチル基、トリフルオロプロピル基およびフルオロヘキシル基のような置換もしくは無置換の脂肪族炭化水素残基； $p$ -トリル基、ビフェニル基およびフェニル基のような置換もしくは無置換芳香族炭化水素残基；シクロヘキシル基、メチルシクロヘキシル基のような置換もしくは無置換の脂環式炭化水素残基からなる群からそれぞれ独立して選択される基、または水素、アルコキシ基またはアシロキシ基である。このような好適な具体例としては、 $R_1$  および  $R_3$  がメチル基であり、 $R_2$ 、 $R_4$  がフェニル基であるポリフェニルメチルシランや、 $R_1$  および  $R_3$  がメチル基であり、 $R_2$  がフェニル基であり、 $R_4$  がトリフルオロプロピル基であるポリフェニルメチル／メチルトリフルオロプロピルシランや、 $R_1$  および  $R_3$  が水素であり、 $R_2$  および  $R_4$  がフェニル基であるポリヒドロフェニルシランや、 $R_1$  が水素であり、 $R_3$  がメチル基であり、 $R_2$  および  $R_4$  がフェニル基であるポリヒドロフェニルメチルフェニルシラン等が挙げられる。

【0049】ポリシランには、機能を損なわない範囲内でポリシラン製機能層の耐熱性、耐薬品性、機械的強度を改善する目的で、あるいは均一な導電性の付与の目的で架橋剤や他の物質を添加しても良い。

【0050】ポリシランに添加し得る架橋剤としては、ポリジメチルシロキサンジオールのような両末端にシランノール基を有するシリコンオイルと、アセトキシシラン、オキシムシラン、アミノオキシシランのような3官能シランと、錫化合物、白金化合物のような金属触媒とを含むシリコンゴム組成物を用いることができる。このシリコンゴム組成物の好ましい組成比は、シリコンオイル100重量部、3官能シラン1～10重量部、金属触媒0.05～1重量部である。このシリコンゴム組成物のポリシランへの好ましい添加量は、ポリシラン100重量部に対して0.1～20重量部である。特に好ましくは、1～10重量部である。また、ポリシランに添加し得る物質としては、フタル酸エステル類、芳香族カルボン酸エステル類、脂肪族エステル類、多価アルコールのエステル類、リン酸エステル類等のエステル系化合物が挙げられる。これらの物質のポリシランへの好ましい配合比は、ポリシラン100重量部に対して10～50重量部であり、特に好ましくは25～35重量部である。ポリシランへのエステル化合物の添加は、機能層の機械的強度を向上させると共に、紫外線に対する感度を向上させて露光時間の短縮を図ることができる。

【0051】本発明においては、液晶表示装置を外部の素子と接続するための外部端子の導通状態を確保するために種々の処理を施す必要がある。すなわち、図4に示すように、ゲート線または信号線の外部端子（パッドグ

(7)

11

ループ領域) 231における各パッド231a上の導通状態を確保する必要がある。から有機-無機ハイブリッドガラスを除去する。なお、図4において、参照符号232は基板を示し、233はBM縁部を示し、234は配向膜を示し、235は対向電極を示し、236はシール材を示す。

【0052】パッドグループ領域231においては、図5に示すように、パッドグループ領域231上のすべてのレジストを洗浄により除去しても良く、図6に示すように、各パッド231a上のレジストのみを洗浄により除去し、各パッド231a間の領域を絶縁性の有機-無機ハイブリッドガラス231bで構成しても良く、図7に示すように、各パッド部231a上に導電性の有機-無機ハイブリッドガラス238を設け、パッド部231a間の領域を絶縁性の有機-無機ハイブリッドガラス231bで構成しても良い。

【0053】図5に示す構造は、図8(A)に示すようにアレイ基板232上にポリシランレジスト237を塗布した後に、図8(B)に示すように溶剤洗浄工程によりポリシランレジストを除去して形成される。

【0054】図6に示す構造は、次のようにして形成される。図9(A)に示すように、アレイ基板232上にポリシランレジスト237を塗布し、図9(B)に示すように、アレイ基板232の裏面から紫外線を照射して露光して潜像239を形成する。次いで、絶縁性用ディッピング液に浸し、図9(C)に示すように、これをベーキングすることにより、導電部231aの間隙231bをガラス化する。その後、図9(D)に示すように、溶剤洗浄工程によりポリシランレジストを除去する。

【0055】図7に示す構造は、次のようにして形成される。図10(A)に示すように、アレイ基板232上にポリシランレジスト237を塗布し、図10(B)に示すように、アレイ基板232の裏面から紫外線を照射して露光して潜像239を形成する。次いで、絶縁性用ディッピング液に浸し、図10(C)に示すように、これをベーキングすることにより、導電部231aの間隙231bをガラス化する。次いで、図10(D)に示すように、ガラス基板232の表面から紫外線を照射して露光して潜像239を形成する。次いで、図10(E)に示すように、この基板を導電性用ディッピング液に浸漬し、ベーキングすることにより、導電部231a上に導電性の有機-無機ハイブリッドガラス238を形成する。以上述べたパッド部の形成は、独立の工程で行っても良いが、工程数削減を考慮すると、機能層を形成する工程で同時に行うことが好ましい。

【0056】本発明の第1の発明は、スイッチング素子上に機能層が設けられ、機能層における画素部分が導電性の有機-無機ハイブリッドガラスで構成されていることを特徴とする。

【0057】第1の発明において、スイッチング素子に

12

電気的に接続された画素電極が、有機-無機ハイブリッドガラスで構成された画素電極およびカラーフィルタを兼ねるカラー画素電極により構成されていても良い。すなわち、機能層の画素部分の性質として導電性および着色性を併せ持っても良い。これにより、機能層上にITO膜を新たに画素電極として形成する必要がなくなる。また、カラーフィルタ色毎のITO膜質のばらつきの問題や、サイドエッチングの問題を解決することができる。

【0058】第1の発明において、機能層の形成は以下のように行う。基板上にTFTを形成し、その上にレジストを塗布する。次いで、紫外線を選択的に照射することにより画素部に潜像を形成する。次いで、In錯体とSn錯体の少なくとも一方を含むディッピング液にこのTFT基板を浸漬する。次いで、このTFT基板を加熱して画素部を選択的にガラス化する。

【0059】この方法においては、画素部にInおよびSnの酸化物が取り込まれ、これにより導電性となる。ディッピング液組成に着色用材料を入れることによりカラー画素電極とすることができる。

【0060】また、画素電極付きのTFTを用い、画素部に潜像を形成した後に、TFT基板をInおよびSnを含む電着液に浸しながらTFTをオン状態にして信号線に電圧をかけることにより画素電極に電圧を印加し、その後これを加熱して画素部をガラス化する方法も有効である。この方法においては、潜像が形成され、かつ電圧が印加された部分のみディッピング液が迅速に浸み込む。このため、電圧を印加するTFTを選択することにより、ディッピング液が浸み込む画素を選択することができる。また、工程に要する時間を大幅に短縮できる。

【0061】本発明の第2の発明は、スイッチング素子上に機能層が設けられ、機能層上に画素電極が設けられ、機能層における画素部分が絶縁性の有機-無機ハイブリッドガラスで構成され、機能層における画素電極とスイッチング素子との接続部分が導電性の有機-無機ハイブリッドガラスまたは導電性高分子で構成されていることを特徴とする。

【0062】第2の発明において、画素電極とTFT(スイッチング素子)との間の配線材料としての有機-無機ハイブリッドガラスの無機ガラスの素材としては、~5重量%SnO<sub>2</sub>をドープしたIn<sub>2</sub>O<sub>3</sub>を用いることが特に有効である。特に、配線材料として画素電極の素材と類似の組成を有するものを用いることは、オーミックコンタクトを得る上で望ましい。

【0063】配線部には、さらに導電性微粒子を分散させても良い。この導電性微粒子とは、導電性のサブミクロンサイズの粉体を意味し、その材料としては、炭素、銀、金等を用いることができる。有機-無機ハイブリッドガラスに対する導電性微粒子の含有量としては、3~40重量%であることが望ましい。さらに、TFTの光

(8)

13

リークを低減するために、黑色微粒子、例えば酸化チタン ( $\text{TiO}_{2n-1}$ )、およびそれに窒素ドーパしたものを添加することも有効である。

【0064】また、画素電極とTF Tとの間の配線材料として導電性高分子を用いることも有効である。ここでいう導電性高分子としては、黑色導電性高分子としての、ポリピロール、ポリチオフェン、ポリ(3-メチルチオフェン)、ポリイソナフトチオフェン、およびそれらをアニオンドーパしたものの、透明性導電性高分子としての、ポリイソチアナフテン、ポリアセナフテン等を用

いることができる(第1表)。  
【0065】第2の発明において、機能層の形成は以下のように行う。基板上にTF Tを形成し、その上にレジストを塗布する。次いで、TF Tと後工程で形成する画素電極との配線部に選択的に紫外線を照射する。次いで、In 錯体とSn 錯体の少なくとも一方を含むディッピング液(導電性微粒子が含まれていても良い)にこのTF T基板を浸漬する。次いで、このTF T基板を加熱して画素部を選択的にガラス化する。最後に、画素電極を有機-無機ハイブリッドガラス上に形成する。この方法においては、TF Tと画素電極との配線部に選択的にIn およびSn の酸化物(さらに導電性微粒子)が取り込まれ、これにより導電性となる。

【0066】さらに第2の発明においても第1の発明と同様な電着法を用いることができる。この場合には、配

14

線部を選択的に露光して潜像を形成した後、電着工程を行う。

【0067】また、第2の発明において、画素電極とTF Tとを配線する方法としては、アレイ基板上にレジストを塗布し、アレイ基板における画素電極とTF Tとの配線部分のレジストを剥離し、導電性高分子を形成するモノマーを含む電解質溶液にアレイ基板を浸漬しつつTF Tを駆動させて配線部分に導電性高分子を形成する方法を用いることができる。この方法においては、スルーホール部分で選択的に酸化還元反応が進んで、スルーホール部分が導電性高分子で埋められる。上記方法においてレジストを剥離してスルーホールを形成する方法としては、RIEや280nmより短波長の紫外光で露光した後、現像液に露光部分を溶かす方法がある。

【0068】また、導電性高分子を形成するモノマーとは、電解重合により導電性高分子を形成する原料であり、ポリピロール、ポリチオフェン、ポリ(3-メチルチオフェン)、ポリイソナフトチオフェン、ポリイソチアナフテン、ポリアセナフテンを電解重合により形成するものである。具体的に、モノマーとしては、それぞれピロール、チオフェン、3-メチルチオフェン、イソナフトチオフェン、イソチアナフテン、アセナフテンが対応する(第1表)。

【0069】

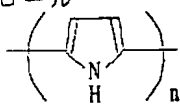
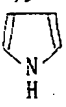
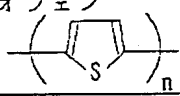

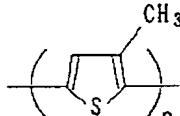
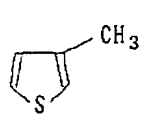
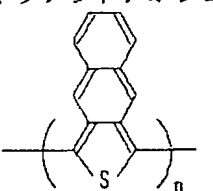
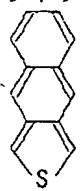
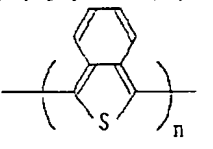
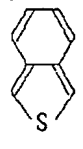
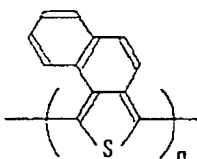
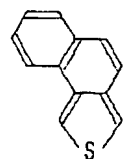
【表1】

(9)

15

16

## 導電性高分子および対応するモノマー

導電性高分子	対応するモノマー	色
ポリピロール 	ピロール 	黒
ポリチオフェン 	チオフェン 	黒
ポリ(3-メチルチオフェン) 	3-メチルチオフェン 	黒
ポリイソナフトチオフェン 	イソナフトチオフェン 	黒
ポリイソチアナフテン 	イソチアナフテン 	透明
ポリアセナフテン 	アセナフテン 	透明

【0070】電解質溶液としては、溶媒として水、アセトニトリル、またはそれらの混合液を用い、電解質としては、リチウムクロライド、テトラブチルアンモニウムクロライド等を用いることが有効である。なお、電解重合とは、導電性高分子を形成するモノマーと電解質を含む溶液に電極を浸して電極に電圧を印加することにより、電極においてモノマーの酸化還元反応により、モノマー→ポリマーと重合反応を進行させることをいう。

【0071】本発明の第3の発明は、蓄積容量線と画素電極との間に機能層が設けられ、機能層における蓄積容量線と画素電極とに挟まれる部分が絶縁性の有機-無機ハイブリッドガラスで構成され、有機-無機ハイブリッドガラスが蓄積容量用のコンデンサの絶縁膜としての機能することを特徴とする。

【0072】第3の発明においては、有機-無機ハイブリッドガラスが蓄積容量線の絶縁部材として機能する。

この場合、コンデンサ部分を開口部としてもよいし、非開口部をコンデンサとしてもよい。コンデンサ全体を開口部とする場合には、コンデンサ用の電極の大部分を透明電極で構成する。また、電極の一部は、フリッカを防止するために、十分な抵抗率を確保するために、金属で構成することが有効である（後述する図30～図32）。

【0073】第3の発明において、Cs用絶縁部材（絶縁膜）の厚さは、 $2.0 \pm 1.0 \mu\text{m}$ とし、機能層の誘電率を $4.0 \pm 0.5$ の範囲とし、画素間誘電率差は $\pm 0.1$ 以内にすることが望ましい。誘電率の微調整は、無機ガラス部分の誘電率を調整することにより行う。これは金属酸化物の組成を変えることにより行うことができる。具体的には、所望の金属酸化物となる原料の割合を調整することにより行う。非開口部をコンデンサとする場合には、下部電極はゲート線と同一の金属材料で構

40

50

(10)

17

成し、ゲート線と同時に形成することが工程削減の観点で有効である。この場合、Cs用絶縁膜の厚さは1.5  $\mu\text{m}$ 以下であることが望ましい。さらに、無機ガラスに $\text{BaTiO}_3$ 、 $\text{PbTiO}_3$ 、 $\text{KTaO}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{TiO}_x$ 等を混合することにより誘電率を高くし、コンデンサの面積を減少させることも開口率向上の観点から有効である。

【0074】第3の発明においては、有機-無機ハイブリッドガラスをスイッチング素子のゲート絶縁膜として用いることもできる。TFTの絶縁部材として用いる際には、染色プロセスは経ず、無色透明の有機-無機ハイブリッドガラスとすることが絶縁性の確保の観点から望ましい。また、良好な素子特性を得るために、絶縁膜の厚さは $0.4 \pm 0.2 \mu\text{m}$ とすることが望ましい。組成としては、 $\text{SiO}_2$ を主成分とし、その含有量が50体積%以上であることが望ましい。

【0075】本発明において、Csを構成するコンデンサの絶縁膜として有機-無機ハイブリッドガラスを用いた場合、その体積固有抵抗は $10^{16} \Omega \cdot \text{cm}$ 以上とすることが望ましい。同様に、TFTのトランジスタのゲート絶縁膜として用いる場合、その体積固有抵抗は $10^{18} \Omega \cdot \text{cm}$ 以上とすることが望ましい。また、機能層のBM部は、コンタクト部分を除き、 $10^{14} \Omega \cdot \text{cm}$ 以上の絶縁性とすることが望ましい。機能層の画素領域は $10^{13} \Omega \cdot \text{cm}$ 以上の絶縁性としても良く、 $10^{10} \Omega \cdot \text{cm}$ 以下の導電性としても良い。導電性にする場合には、画素電極と兼用することもできる。

【0076】本発明の第4の発明は、スイッチング素子上に機能層が設けられ、機能層上に絶縁膜が設けられ、絶縁膜上に画素電極が設けられ、機能層における画素部分が絶縁性の有機-無機ハイブリッドガラスで構成されていることを特徴とする。

【0077】第4の発明において、下地の機能層からITO電極に与える影響および表面を平坦化することを考慮すると、絶縁膜の膜厚は10 nm以上であることが好ましい。また、絶縁膜の材料としては、 $\text{SiO}_2$ 、 $\text{SiNx}$ 、 $\text{AlOx}$ 、 $\text{TaOx}$ 等を挙げることができる。その成膜方法もプラズマCVDに限らず、いかなる方法でも良いが、TFTの特性を劣化させないために、成膜時の基板温度はa-Si成膜温度より低くなるように設定することが好ましい。

【0078】第4の発明においては、機能層上に絶縁膜からなる保護膜を形成することにより、機能層がITO膜に悪影響を与えることを防止し、さらに機能層表面の膨れの影響を防ぐことができる。このとき、絶縁膜の膜厚を10 nm以上とすることにより、下地である機能層の凹凸を均一にすることができる。これにより、ITO膜をエッチングする際のサイドエッチングの問題を防ぐことができる。

【0079】以下、本発明の実施例を図面を用いて詳細

18

に説明する。本発明はこれらの実施例に限定されるものでなく、その要旨の範囲内で種々変更して用いることができる。

【0080】[第1の実施形態] 第1の実施形態では、画素部が導電性を有する有機-無機ハイブリッドガラスで構成される表示装置用基板を提供する。

【0081】以下、第1の実施形態にかかる表示装置用基板の実施例について説明する。(実施例1-1)

図11(E)は本発明の第1の実施形態にかかる表示装置用基板の断面図である。図11(E)の表示装置用基板(アレイ基板)は、現在表示装置用に使用されているITO画素電極を有するアレイ基板をそのまま用いて作ることができる。

【0082】上記構成を有するTFTアレイ基板は、以下のようにして製造することができる。ガラス基板120上にMoTa合金を厚さ300 nmでスパッタリングしてパターニングすることにより、ゲート線128、アドレス線(図示せず)(走査線)、およびCs(容量線)122a~122cを同時に形成する。次いで、その上にプラズマCVDにより厚さ400 nmのシリコン酸化膜(ゲート絶縁膜)123を形成し、厚さ100 nmのa-Si活性層129を形成してパターニングし、その上に厚さ50 nmの $\text{SiNx}$  i ストップ膜130を形成してパターニングする。さらに、a-Si活性層129および $\text{SiNx}$  i ストップ膜130上に厚さ50 nmの $\text{n}^+$  a-Si層121a、121bを形成してパターニングする。

【0083】次いで、Cs線122a~122c上のシリコン酸化膜123上にITOを厚さ150 nmでスパッタリングしてパターニングすることにより、Csおよび電着用透明電極124を形成する。次いで、Al等の所定の配線金属をスパッタリングしてパターニングすることにより、ドレイン電極131、ソース電極132、図示しないデータ配線を同時に形成する。

【0084】以下に、図11(E)に示すアレイ基板の製造方法について述べる。図11(A)に示すように、TFTアレイ基板上に式4に示すメチルフェニルポリシランの5重量%トルエン溶液をスピンコートにより膜厚2.0  $\mu\text{m}$ で塗布し、次いで、図11(B)に示すように、アレイ基板の裏面からdeep-UV光(300~340 nm)で全面露光する。この裏面露光プロセスにより、開口部(信号線、ゲート線TFTを除く部分)に潜像126a~126cが形成される。次いで、TFTアレイ基板を以下の組成の電着液に浸漬し、その状態でR画素を一括駆動して潜像を形成した領域をRに着色してR着色部127aを形成する。この際、コモン電極としては、SCE(Saturated Calomel Electrode)を用い、ゲートに+20 V加えた状態で信号線に+5 Vの電圧を印加する。その後、図11(C)に示すように、TFTアレイ基板を純水でリンスする。前記と同様にし

(11)

19

て、G着色部127bおよびB着色部127cを電着工程により形成する。次に、これをホットプレート上で100℃で10分間ベーキングする。ベーキング後、この\*

(RGB着色用の電着液の組成(導電性用))

インジウムアセチルアセトネート

(In(COCH<sub>2</sub>COCH<sub>3</sub>))

20ml

すずアセチルアセトネート

(Sn(COCH<sub>2</sub>COCH<sub>3</sub>))

1ml

顔料微粒子(平均粒径0.1μm)

1.0g

(R:アントラキノ系、G:銅フタロシアニン系、B:銅クロルフタロシアニン系)

両親媒性PEG型界面活性フェロセン(FPEG)

0.2g

(式1)

LiBr

1.3g

アセトニトリル

15ml

水

135ml

次に、図11(D)に示すように、TFTアレイ基板全面を露光して潜像126dを形成し、以下の組成の黒色ゾルゲル液に浸漬することにより、ブラックマトリクス部127dを形成する。次いで、この基板を純水でリン※20

\*R, G, B着色部127a~127cはR, G, Bのそれぞれの色であり、しかも導電性を示す。

【0085】

(黒色ゾル・ゲル液の組成(絶縁性用))

顔料(平均粒径0.3μm、

R, G, B, シアン, パイオレット, イエロー顔料の混合)

5g

メタノール(CH<sub>3</sub>OH)

30ml

テトラエトキシシラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)

20ml

水

85ml

塩酸(HCl)

0.25ml

アセトニトリル

8ml

一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。実施例1-1では、有機-無機ハイブリッドガラスで構成されるカラーフィルタに導電性を持たせることによってカラー画素電極としている。この製造方法においては、カラーフィルタを形成した後に、ITOのスパッタリング、パターニング、エッチング工程が必要ない。したがって、カラーフィルタ上にITO膜を形成するときには生じるサイドエッチの問題は全く生じない。

【0087】実施例1-1によれば、ポリシランを着色する際のディッピング液中の成分に導電性酸化物の原料となる金属錯体を添加するだけで、導電性を有する有機-無機ハイブリッドガラスを形成することが可能である。ここで、導電性を付与するためのディッピング液成分は、In(AcAc)<sub>3</sub>とSn(AcAc)<sub>2</sub>に限らず、Sn(OEt)<sub>2</sub>、Sn(OMe)<sub>2</sub>等一般的に透明導電性酸化物形成に用いられる金属錯体であれば種類は問わない。また、ディッピング液の組成比はIn(A

※スし、これを250℃で60分ポストバークする。ベーキング後、ブラックマトリクス部127dは黒色であり、かつ絶縁性を有するものとなる。

【0086】

cAc)<sub>3</sub>:Sn(AcAc)<sub>2</sub>=95:5(原子%)が最も好ましいが、透過率、導電率を満足するものであれば、その比はそれ以外でも良い。

【0088】実施例1-1の方法においては、カラーフィルタ形成工程に、マスク露光工程を含まず、完全にセルフアラインでカラーフィルタオンアレイ基板を形成できるため、マスク合わせのためのマージンが必要なく、高開口率のカラーフィルタオンアレイ基板が提供できる。

【0089】(実施例1-2)図12は本発明の第1の実施形態にかかる液晶表示装置のアレイ基板の断面図である。実施例1-2では、ポリシラン製カラーフィルタが画素電極を兼ねている。

【0090】図中11はガラス基板を示す。ガラス基板11上には、ゲート線12が形成されており、その上には、シリコン酸化膜13が形成されている。シリコン酸化膜13上には、島状のa-Si活性層14が形成されている。a-Si活性層14上には、溝が設けられており、溝により分離されている。また、分離されたa-Si活性層14上には、n<sup>+</sup>a-Siコンタクト層15a, 15bを介してそれぞれドレイン電極16a、ソー

50



(12)

21

ス電極16bが形成されている。ドレイン電極16aおよびソース電極16b上には、SiNx膜17が形成されている。このSiNx膜17は、分離用溝内にも埋設されている。SiNx膜17上には、有機-無機ハイブリッドガラス製ブラックマトリクス部18dが形成されている。

【0091】一方、ガラス基板11上には、蓄積容量線(Cs線)19aが形成されており、Cs線19a上には、シリコン酸化膜13を介してコンタクト用電極112が形成されている。さらに、その上には、SiNx膜17およびポリシラン製機能層18aが形成されている。Cs線19a上には、コンタクト用電極112a'に達するコンタクトホール112aがそれぞれ形成されている。このようにしてTFTアレ基板が構成されている。

【0092】上記構成を有するアレ基板は、以下のようにして製造することができる。まず、ガラス基板11上にMo-Ta合金を厚さ300nmでスパッタリングしてパターンニングすることによりゲート線12、図示しないアドレス線(走査線)、およびCs(容量線)19を同時に形成する。

【0093】次いで、その上にプラズマCVDによりシリコン酸化膜13を厚さ350nmで形成し、その上にa-Si層を厚さ300nmで形成し、さらにその上にn<sup>+</sup>a-Si層を厚さ50nmで順次形成する。次いで、a-Si層およびn<sup>+</sup>a-Si層をパターンニングして、島状のa-Si活性層14およびn<sup>+</sup>a-Siコンタクト層15a、15bを形成する。このとき、n<sup>+</sup>a-Siコンタクト層15a、15bの分離は、ソース・ドレイン電極を形成した後にRIE等により行う。

【0094】次いで、コンタクト部のSiO<sub>x</sub>膜を希HFを用いてエッチングして、ゲート線、信号線の引き出し電極のコンタクトホールを形成する。次に、この上にAl膜をスパッタリングにより形成し、パターンニングして、ドレイン電極16a、ソース電極16b、図示しないデータ配線(信号線)、およびコンタクト部電極112'を同時に形成する。その後、この上にプラズマCVDにより、SiNx膜17を厚さ300nmで成膜し、コンタクト部111、112のSiNx膜をドライエッチングしてコンタクトホールを形成する。

【0095】次いで、この上にポリシランをスピンコート等で塗布し、厚さ1μmのポリシラン膜を形成する。次いで、画素部に選択的に紫外線を露光して画素パターンの潜像を形成する。この潜像が形成された後に、顔料およびIn(AcAc)<sub>3</sub>とSn(AcAc)<sub>2</sub>を含有するディッピング液(ゾル液)中にこのアレ基板を浸漬することによりパターン染色し、その後、これを加熱・プリベークすることにより露光部をガラス化させる。このとき、ディッピング液のIn(AcAc)<sub>3</sub>、Sn(AcAc)<sub>2</sub>が酸化することにより形成するITOが

22

顔料と共に画素部に取り込まれる。

【0096】この露光、浸漬をそれぞれRGBについて3回繰り返す、各色の導電性カラーフィルタ18aを形成する。この導電性カラーフィルタがTFTのドレイン電極16bとコンタクトホール111で接続されて、画素電極として働く。すなわち、カラーフィルタと画素電極を兼ねるカラー画素電極を構成する。

【0097】次いで、全面を露光した後にアレ基板をカーボンブラックゾルに浸漬し、これを250℃、60分程度でポストベークして、ブラックマトリクス部18dの染色を行う。このようにして、TFTアレ基板上にカラーフィルタおよびブラックマトリクスを作製する。ここで、ブラックマトリクス部分には、導電性を付与しない。一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。

【0098】実施例1-2では、ポリシラン製カラーフィルタの画素部に導電性を持たせることによって、ポリシラン製カラーフィルタを形成した後に、ITOのスパッタリング、パターンニング、エッチング工程が必要ない。したがって、ポリシラン製カラーフィルタ上にITO膜を形成するときには生じる前述した2つの問題は全く生じない。

【0099】実施例1-2によれば、ポリシランを染色する際のディッピング液中の成分に金属錯体を添加するだけで、導電性を有するカラーフィルタを形成することが可能であり、これにより、画素電極とカラーフィルタと兼用させることが可能となる。ここで、染色と導電性を付与するためのディッピング液中の成分は、In(AcAc)<sub>3</sub>とSn(AcAc)<sub>2</sub>に限らず、Sn(OEt)<sub>2</sub>、Sn(OMe)<sub>2</sub>等一般的にゾル・ゲル法によるITO形成に用いられる金属錯体であれば種類は問わない。また、ディッピング液の組成比はIn(AcAc)<sub>3</sub>:Sn(AcAc)<sub>2</sub>=95:5(原子%)が一般的であるが、透過率、導電率を満足するものであれば、その比はそれ以外でも良い。

【0100】(実施例2)図13は本発明の第1の実施形態にかかる液晶表示装置のアレイ基板の断面図である。なお、図12と同一部分については図12と同一の符号を付してその詳細な説明は省略する。実施例2では、ポリシラン製カラーフィルタが導電性を有しない部分と導電性を有する部分を含む構造について説明する。

【0101】上記構成を有するアレ基板は、以下のようにして製造することができる。TFTの形成までは、実施例1と同様であるので省略する。TFTが形成されたアレ基板11上に、SiNx膜17を厚さ300nmで成膜し、その上にポリシランをスピンコート等で塗布して厚さ1.2μmのポリシラン膜を形成する。次い

(13)

23

で、コンタクト部111, 112の $\text{SiNx}$ 膜17およびポリシラン膜をドライエッチングしてコンタクトホールを形成する。

【0102】次いで、ポリシラン膜を選択的に紫外線露光して染色パターンの潜像を形成し、塩基性染料を含有するディッピング液中にアレイ基板を浸漬する（第1の浸漬）ことによりパターン染色する。その後、導電性を付与するために $\text{In}(\text{AcAc})_3$ と $\text{Sn}(\text{AcAc})_2$ を含有するディッピング液中にアレイ基板を浸漬する（第2の浸漬）。その後、これに加熱・プリベークすることにより露光部をガラス化させる。この露光、第1の浸漬、第2の浸漬、加熱・プリベークをRGB各画素について3回繰り返すことによってカラー画素電極18を形成する。このカラー画素電極18は、染色する第1の浸漬、導電性を付与する第2の浸漬と、浸漬工程を2回に分けて行っているため、表面部分18a'に導電性が付与され、膜中部分18aは染色されているだけで導電性が付与されない。このとき、導電性部分18a'の膜厚は第2の浸漬工程の浸漬時間によって制御することができる。

【0103】次いで、カラー画素電極18が形成されたアレイ基板11を全面露光した後に、アレイ基板をカーボンブラックゾルに浸漬し、これを250℃、60分程度でポストベークして、ブラックマトリックス18dの染色を行う。このようにして、ブラックマトリックス18dおよびカラー画素電極18を作製する。

【0104】次いで、コンタクト部111, 112を導電性ポリマーで穴埋めし、TFTのドレイン電極16bとカラー画素電極の導電性部分18a'の間および容量電極112とカラー画素電極の導電性部分18a'との間を電気的に接続するためのビア113および114を形成する。このビア113, 114は、ポリシランの露光、浸漬の前に、コンタクトホールの深さより多少高めに形成しても良い。この場合、図14に示すように、コンタクト部においては、導電性ポリマーの側面とゾル・ゲル法で作製したITOとでコンタクトを取る。図14において、コンタクトホールを形成した後、ビア114を作製し、ITO18a'を形成すると、ビア114とITO18a'の側面においてコンタクトを取ることができ、結果的にコンタクト部の画素19aの電位と画素電位が同じになる。

【0105】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。上述したように第1の実施形態にかかる表示装置用基板によれば、カラーフィルタに分配される電圧のために液晶に印加される実効電圧が低下することがなく、駆動電圧上昇の問題点を避けることができる。また、画素電極を独立して形成しなくて済

24

むので、サイドエッチ等の問題も生じず、工程数も削減できる。

【0106】[第2の実施形態] 第2の実施形態では、画素電極上置き構造におけるスイッチング素子のソース電極と画素電極との間のコンタクト不良を解決すべく、有機-無機ハイブリッドガラスまたは導電性高分子で構成されたコンタクト部を有する機能層を含む表示装置用基板を提供する。

【0107】以下、第2の実施形態にかかる表示装置用基板の実施例について説明する。（実施例3）図15は本発明の第2の実施形態にかかる表示装置用基板（アレイ基板）の断面図である。図中401はガラス基板を示す。ガラス基板401上には、ゲート線402とCs線403が形成されており、それらの上には、シリコン酸化膜404が形成されている。シリコン酸化膜404上には、a-Si活性層406がパターニングして形成されており、a-Si活性層406の一部上には、 $\text{SiNx}$ ストッパ膜407が形成されている。さらに、a-Si活性層406および $\text{SiNx}$ ストッパ膜407上には、互いに分離された状態で $n^+$  a-Si層408a, 408bが形成されている。さらに、 $n^+$  a-Si層408a, 408b上には、a-Si活性層406の端部を覆うようにしてソース電極409およびドレイン電極410が形成されている。

【0108】このように形成されたTFTおよびCs線上には、有機-無機ハイブリッドガラスからなる機能層413, 411a, 411b, 414が形成されている。この機能層は、R, G, Bに着色し、かつ絶縁性の領域413と、ソース電極409と機能層上に設けられる画素電極412とを電気的に接続するための導電性のコンタクト領域411aと、黒色に着色し、かつ絶縁性のブラックマトリックス領域414と、導電性のCs電極部411bとを含む。

【0109】上記構成を有するTFTアレイ基板は、以下のようにして製造することができる。まず、ガラス基板401上にMoTa合金を厚さ300nmでスパッタリングしてパターニングすることにより、ゲート線402、アドレス線（図示せず）、およびCs線403を同時に形成する。次いで、その上にプラズマCVDにより厚さ400nmのシリコン酸化膜（ゲート絶縁膜）404を形成し、厚さ100nmのa-Si活性層406を形成してパターニングし、その上に厚さ50nmの $\text{SiNx}$ -iストッパ膜407を形成してパターニングする。さらに、a-Si活性層406および $\text{SiNx}$ -iストッパ膜407上に厚さ50nmの $n^+$  a-Si層408a, 408bを形成してパターニングする。次いで、Al等の所定の配線金属をスパッタリングしてパターニングすることにより、ソース電極409、ドレイン電極410、図示しないデータ配線を同時に形成する。

【0110】次に、図16(A)に示すように、TFT

(14)

25

アレイ基板に式4に示すメチルフェニルポリシランの5重量%トルエン溶液415をスピンコートにより膜厚2.0 $\mu$ mで塗布し、図16(B)に示すように、フォトマスク416を通してRの画素部分413をdeep-UV光(280-320nm)で露光して潜像417を形成する。次いで、このTFTアレイ基板を以下の組成の赤色ゾル・ゲル液に浸漬し、その後純水でリンス \*

(RGB用ゾル・ゲル液の組成)

顔料(平均粒径0.1 $\mu$ m)メタノール(CH<sub>3</sub>OH)テトラエトキシシラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)

水

塩酸(HCl)

アセトニトリル

0.5-1.5g

(R, G, Bにより異なる)

30ml

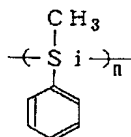
20ml

85ml

0.25ml

8ml

【化4】



…式(4)

【0112】(nは整数であり、n $\geq$ 50であることが好ましい)

次に、図16(D)に示すように、信号線411bが遮蔽され、Cs線411b上およびコンタクト領域411aが開口部となったマスク416を用いてdeep-UVで※

(金属錯体黒色ゾル・ゲル液の組成(導電性用))

カーボンブラック微粒子(平均粒径0.3 $\mu$ m)メタノール(CH<sub>3</sub>OH)インジウムアセチルアセトネート<sup>10</sup>(In(COCH<sub>2</sub>COCH<sub>3</sub>))

すずアセチルアセトネート

(Sn(COCH<sub>2</sub>COCH<sub>3</sub>))

水

塩酸(HCl)

アセトニトリル

5g

30ml

20ml

1ml

85ml

0.25ml

8ml

次に、図16(F)に示すように、TFTアレイ基板全面を露光して潜像417を形成し、図16(G)に示すように、以下の組成の黒色ゾルゲル液に浸漬することにより、ブラックマトリクス部414を形成する。次い

(黒色ゾル・ゲル液の組成(絶縁性用))

顔料(平均粒径0.3 $\mu$ m、

R, G, B, シアン, バイオレット, イエロー顔料の混合)

5g

メタノール(CH<sub>3</sub>OH)テトラエトキシシラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)

水

塩酸(HCl)

アセトニトリル

30ml

20ml

85ml

0.25ml

8ml

最後に、図16(H)に示すように、機能層上にITO<sup>50</sup>を厚さ150nmでスパッタリングしてパターンニングす

26

\*し、さらにこれを100℃で10分間ベーキングする。これにより、図16(C)に示すように、R着色部413を形成する。前記と同様にして、G着色部およびB着色部を形成する。ベーキング後、このR, G, B着色部413は絶縁性を示した。

【0111】

※露光する。これにより、Cs線403およびドレイン電極409上のポリシランレジストに潜像417を形成する(RGB部413は、すでにガラス化しているために光により変化しない)。

20 【0113】次に、図16(E)に示すように、このTFTアレイ基板を以下の組成の黒色ゾル・ゲル液に浸漬した後に純水でリンスし、100℃で10分間プリベークする。ベーキングした後、この部分411a, 411bは黒色であり、かつ導電性を有するものとなる。

【0114】

★で、これを250℃で60分ポストベークする。ベーキング後、ブラックマトリクス部414は黒色であり、かつ絶縁性を有するものとなる。

【0115】

(15)

27

ることにより画素電極412を形成する。

【0116】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置は、機能層（コンタクト部、R、G、B部、およびBM部）が有機-無機ハイブリッドガラスで構成されており、しかも画素電極412とドレイン電極409との間の配線部分が、ウェットプロセスで形成された導電性微粒子が分散された酸化半導体で構成されているので、導通不良が起らない。

【0117】（実施例4）図17は本発明の第2の実施形態にかかる表示装置用基板の断面図である。図17において図15と同一部分については図15と同一符号を付してその詳細な説明は省略する。

【0118】図17の表示装置用基板（アレイ基板）においては、現在液晶表示素子用に使用されているITO画素電極を有するアレイ基板をそのまま用いている。すなわち、Cs線403上方にCs容量形成用および電着用透明電極405を形成し、コンタクト部411aおよび411bにおいてソース電極409と画素電極412のコンタクトをとっている。

【0119】上記構成を有するTFTアレイ基板は、以下のようにして製造することができる。ガラス基板401上にMoTa合金を厚さ300nmでスパッタリングしてパターンニングすることにより、ゲート線402、アドレス線、およびCs線403を同時に形成する。次いで、その上にプラズマCVDにより厚さ400nmのシリコン酸化膜（ゲート絶縁膜）を形成し、厚さ100nmのa-Si活性層406を形成してパターンニングし、その上に厚さ50nmのSiNx iストッパ膜407を\*

（RGB着色用の電着液の組成（絶縁性用））

顔料微粒子（平均粒径0.1μm） 1.0g

（R：アントラキノン系、G：銅フタロシアニン系、B：銅クロロフタロシアニン系）

両親媒性PEG型界面活性フェロセン（FPEG） 0.2g

（式1）

LiBr 1.3g

アセトニトリル 15ml

水 135ml

次に、図18（D）に示すように、基板表面側から全面露光し、非開口部に潜像417を形成する。次に、図18（E）に示すように、TFTアレイ基板を以下の組成の黒色電着液に浸漬し、その状態でゲートをコモン電極と同電位として、信号線に電圧を印加し、信号線を選択的に黒に着色する。この際、コモン電極としては、S※

（黒色電着液の組成（絶縁性用））

顔料微粒子（平均粒径0.3μm） 5.0g

（シアン、バイオレット、イエロー顔料の混合）

28

\*形成してパターンニングする。さらに、a-Si活性層406およびSiNx iストッパ膜407上に厚さ50nmのn<sup>+</sup> a-Si層408a、408bを形成してパターンニングする。

【0120】次いで、Cs線403上のシリコン酸化膜404上にITOを厚さ150nmでスパッタリングしてパターンニングすることにより、Csおよび電着用透明電極405を形成する。次いで、Al等の所定の配線金属をスパッタリングしてパターンニングすることにより、ドレイン電極409、ソース電極410、図示しないデータ配線を同時に形成する。

【0121】次に、図18（A）に示すように、TFTアレイ基板に上記式4に示すメチルフェニルポリシランの5重量%トルエン溶液415をスピンコートにより膜厚2.0μmで塗布し、次いで、図18（B）に示すように、アレイ基板の裏面からdeep-UV光（300-340nm）で全面露光する。この裏面露光プロセスにより、図18（C）に示すように、開口部（信号線、ゲート線を除く部分）に潜像417が形成される。次いで、TFTアレイ基板を以下の組成の電着液に浸漬し、その状態でR画素を一括駆動して潜像を形成した領域をRに着色してR着色部413を形成する。この際、コモン電極としては、SCE（Saturated Calomel Electrode）を用い、ゲートに+20Vを加えた状態で+5Vの電圧を信号線に印加する。その後、TFTアレイ基板を純水でリンスする。前記と同様にして、G着色部およびB着色部を形成する。さらにこれをホットプレート上で100℃で10分間ベーキングする。ベーキング後、このR、G、B着色部413はR、G、Bのそれぞれの色であり、しかも絶縁性を示す。

【0122】

※CEを用い、信号線には+5Vの電圧を印加する。その後、これを純水でリンスし、ベーキングする。ベーキング後、この部分414は黒色であり、かつ絶縁性を示す。

【0123】

(16)

29	30
両親媒性PEG型界面活性フェロセン (FPEG)	0.2 g
LiBr	1.3 g
アセトニトリル	15 ml
水	135 ml

次に、図18 (F) に示すように、TFTアレイ基板を以下の組成の黒色電着液に浸漬し、その状態でゲートに+20 Vを加え、信号線に電圧を印加し、ソース電極409およびCs電極405上の潜像に導電性微粒子を侵入させてコンタクト部411a, 411bを形成する。\*

(黒色電着液の組成 (導電性用)) 10

カーボンブラック微粒子 (平均粒径0.3 μm)	5.0 g
両親媒性PEG型界面活性フェロセン (FPEG)	0.2 g
LiBr	1.3 g
アセトニトリル	15 ml
水	135 ml

次に、図18 (G) に示すように、TFTアレイ基板を実施例3と同じ組成の絶縁性用黒色ゾル・ゲル液に浸漬した後、純水でリンスし、残りのブラックマトリクス部を形成し、250℃で60分ポストバークする。ベーキング後、このブラックマトリクス部414は黒色であり、かつ絶縁性を示す。

【0125】最後に、図18 (H) に示すように、有機-無機ハイブリッドガラス上にITOを厚さ150 nmでスパッタリングしてパターンニングすることにより画素電極412を形成する。

【0126】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置は、機能層 (コンタクト部、R、G、B部、およびBM部) が有機-無機ハイブリッドガラスで構成されており、しかも画素電極412とドレイン電極409との間の配線部分が、ウェットプロセスで形成された導電性微粒子を分散させた酸化物半導体で構成されているので、導通不良が起らない。

【0127】(実施例5) 図19は本発明の第2の実施形態にかかる表示装置用基板の断面図である。図19において図15と同一部分については図15と同一符号を付してその詳細な説明は省略する。

【0128】図19の表示装置用基板 (アレイ基板) においては、機能層のコンタクト部411において、ソース電極409と接続したCs用透明電極405と画素電極412とのコンタクトをとっている。

【0129】上記構成を有するTFTアレイ基板は、以下のようにして製造することができる。TFTおよび機能層のRGB着色部の形成までは、実施例4と同様に行う。

【0130】図20 (A) に示すように、TFTアレイ基板に上記式4に示すメチルフェニルポリシランの5重

\*この際、コモン電極としては、SCEを用い、信号線には+5 Vの電圧を印加する。その後、これを純水でリンスし、ベーキングする。ベーキング後、この部分411a, 411bは黒色であり、かつ導電性を示す。

【0124】

量%トルエン溶液415をスピンコートにより膜厚2.0 μmで塗布し、次いで、図20 (B) に示すように、アレイ基板の裏面からdeep-UV光 (300-340 nm) で全面露光する。この裏面露光プロセスにより、図20 (C) に示すように、開口部 (信号線、ゲート線を除く部分) に潜像417が形成される。次いで、TFTアレイ基板を実施例4と同じ組成のR、G、B用、絶縁性用電着液に浸漬し、その状態でR画素を一括駆動して潜像を形成した領域をRに着色してR着色部413を形成する。この際、コモン電極としては、SCEを用い、ゲートに+20 Vを印加した状態で+5 Vの電圧を信号線に印加する。その後、TFTアレイ基板を純水でリンスする。前記と同様にして、G着色部およびB着色部を形成する。さらにこれをホットプレート上で100℃で10分間ベーキングする。ベーキング後、このR、G、B着色部413はR、G、Bのそれぞれの色であり、しかも絶縁性を示す。

【0131】次いで、図20 (D) に示すように、TFTアレイ基板に、信号線およびTFT上が遮蔽されCs領域が開口部となったマスク416を用いてdeep-UV露光する。これにより、Cs領域上のポリシランレジスト415に潜像417が形成される (RGB部はすでにガラス化しているために光により変化しない)。次に、図20 (E) に示すように、TFTアレイ基板を実施例3と同じ組成の導電性用黒色ゾル・ゲル液に浸漬した後純水でリンスし、100℃で10分プリバークする。ベーキング後、このコンタクト部411は黒色であり、かつ導電性を示す。

【0132】次いで、図20 (F) に示すように、TFTアレイ基板の表面側から全面露光し、残りの部分に潜像417を形成する。次いで、図20 (G) に示すように、実施例3と同じ組成の絶縁性用黒色ゾル・ゲル液に浸漬した後純水でリンスし、ブラックマトリクス部414を形成する。次いで、これを250℃で60分ポストバークする。ベーキング後、ブラックマトリクス部41

(17)

31

4は黒色であり、かつ絶縁性を示す。

【0133】最後に、図20(H)に示すように、機能層上にITOを厚さ150nmでスパッタリングしてパターンニングすることにより画素電極412を形成する。

【0134】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置は、機能層（コンタクト部、R、G、B部、およびBM部）が有機-無機ハイブリッドガラスで構成されており、しかも画素電極412とソース電極につながれたCs用透明電極405との間の配線部分411が、ウェットプロセスで形成された導電性微粒子を分散した酸化半導体で構成されているので、導通不良が起らないものである。

【0135】（実施例6）図21および図22は本発明の第2の実施形態にかかる表示装置用基板の断面図である。図21および図22において図15と同一部分については図15と同一符号を付してその詳細な説明は省略する。

【0136】図21の表示装置用基板（アレイ基板）においては、ソース電極409と接続したCs用透明電極405と画素電極412とのコンタクトを、カラーフィルター層に設けたコンタクトホールに埋め込んだ導電性高分子でとっている。また、図22の表示装置用基板（アレイ基板）においては、ソース電極409と画素電極412とのコンタクトを、カラーフィルター層に設けたコンタクトホールに埋め込んだ導電性高分子でとっている。したがって、図21の基板と図22の基板では、コンタクトホールを形成する位置が異なるのみであり、その製造プロセスは同じである。

【0137】上記構成を有するTFTアレイ基板は、以下のようにして製造することができる。TFTおよび機能層のRGB着色部の形成までは、実施例4と同様にして行う。

【0138】図23(A)に示すように、TFTアレイ基板に上記式4に示すメチルフェニルポリシランの5重\*（電解重合液の組成）

ピロール  
LiClO<sub>4</sub>  
アセトニトリル

次いで、図23(H)に示すように、TFTアレイ基板を乾燥した後に、254nm、1J/cm<sup>2</sup>でUV洗浄を行い、表面に付着した導電性高分子を除去する。最後に、図23(I)に示すように、機能層上にITOを厚さ150nmでスパッタリングしてパターンニングすることにより画素電極412を形成する。

【0142】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向

32

\*量%トルエン溶液415をスピンコートにより膜厚2.0μmで塗布し、次いで、図23(B)に示すように、アレイ基板の裏面からdeep-UV光(300-340nm)で全面露光する。この裏面露光プロセスにより、図23(C)に示すように、開口部（信号線、ゲート線を除く部分）に潜像417が形成される。次いで、TFTアレイ基板を実施例4と同じ組成のR、G、B用、絶縁性用電着液に浸漬し、その状態でR画素を一括駆動して潜像を形成した領域をRに着色してR着色部413を形成する。この際、コモン電極としては、SCEを用い、ゲートに+20Vを加えた状態で+5Vの電圧を信号線に印加する。その後、TFTアレイ基板を純水でリンスする。前記と同様にして、G着色部およびB着色部を形成する。さらにこれをホットプレート上で100℃で10分間ベーキングする。ベーキング後、このR、G、B着色部413はR、G、Bのそれぞれの色であり、しかも絶縁性を示す。

【0139】次いで、図23(D)に示すように、TFTアレイ基板に、基板表面側からdeep-UV光で全面露光することにより、残りの部分に潜像417を形成する（RGB部はすでにガラス化しているために光により変化しない）。次いで、図23(E)に示すように、TFTアレイ基板を実施例3と同じ組成の絶縁性用黒色ゾル・ゲル液に浸漬した後に純水でリンスし、ブラックマトリクス部414を形成する。次いで、これを250℃で60分ポストバークする。ベーキング後、ブラックマトリクス部414は黒色であり、かつ絶縁性を示す。

【0140】次に、図23(F)に示すように、ブラックマトリクス部のうち画素電極との間のコンタクト部分を選択的にRIEによりエッチングする。次いで、図23(G)に示すように、TFTアレイ基板を以下の組成の導電性高分子を形成するモノマーを含む電解質溶液に浸漬しつつ、ゲート線に+20V加えた状態で信号線に+5V加え、コンタクトホール部分に導電性高分子418を形成させる。この際、コモン電極としてはSCEを用いる。その後、これを純水でリンスする。このコンタクト部411は黒色であり、かつ導電性を示す。

【0141】

25ml  
10g  
1000ml

基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置は、機能層（コンタクト部、R、G、B部、およびBM部）が有機-無機ハイブリッドガラスで構成されており、しかも画素電極412とソース電極409またはソース電極409につながれたCs用透明電極405との間の配線部分が、ウェットプロセスにより

50

(18)

33

形成された導電性高分子で構成されているので、導通不良が起らないものである。

【0143】（実施例7）図24は図21および図22の表示装置用基板の他の製造方法を示す図である。ガラス基板401上にTFTを作製する工程については、実施例4と同様にして行う。

【0144】まず、図24（A）に示すように、TFTアレイ基板上に上記式1に示すメチルフェニルポリシランの5重量%トルエン溶液415をスピコートにより膜厚2.0 $\mu$ mで塗布し、次いで、図24（B）に示すように、フォトマスクを通してRの画素部分413Rを選択的にdeep-UV光（280-320nm）で露光して潜像417を形成する。次いで、このTFTアレイ基板を実施例3と同じ組成のR、G、B用、絶縁性用赤色ゾル・ゲル液に浸漬した後、純水でリンスし、さらにこれを100℃で10分間ベーキングする。これにより、R着色部413を形成する。前記と同様にして、G着色部およびB着色部を形成する。

【0145】次に、TFTアレイ基板をdeep-UV光を用いて全面露光することにより、ブラックマトリクス部に潜像を形成させ、実施例3と同じ組成の絶縁性用黒色ゾル・ゲル液に浸漬した後純水でリンスし、ブラックマトリクス部414を形成する。次に、これを250℃で60分ポストベークする。ベーキング後、図24（C）に示すように、RGB着色部413およびブラックマトリクス部414は絶縁性を示すガラスとなる。

【0146】次に、図24（D）に示すように、ブラックマトリクス部のうち画素電極と間のコンタクト部分を選択的にRIEによりエッチングする。次いで、図24（E）に示すように、TFTアレイ基板を実施例3と同じ組成の導電性高分子を形成するモノマーを含む電解質溶液に浸漬しつつ、同様にTFTを一括駆動して、コンタクトホール部分に導電性高分子418を形成させる。このコンタクト部411は黒色であり、かつ導電性を示す。

【0147】次いで、図24（F）に示すように、TFTアレイ基板をプリベークした後に、254nm、1J/cm<sup>2</sup>でUV洗浄を行い、表面に付着した導電性高分子を除去する。最後に、図24（G）に示すように、機能層上にITOを厚さ150nmでスパッタリングしてパターニングすることにより画素電極412を形成する。

【0148】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置は、機能層（コンタクト部、R、G、B部、およびBM部）が有機-無機ハイブリッドガラスで構成されており、しかも画素電極412とソース電極4

34

09またはソース電極409につながれたC's用透明電極405との間の配線部分が、ウェットプロセスにより形成された導電性高分子で構成されているので、導通不良が起らない。

【0149】第2の実施形態においては、機能層に有機-無機ハイブリッドガラスを用いた実施例について説明しているが、アレイ基板上の画素電極とTFTとの間に設けられたパッシベーション膜に上記と同様のプロセスで形成された有機-無機ハイブリッドガラスを適用しても良い。この場合、上記プロセスにおける条件等は適宜変更して適用する。例えば、電着工程においては、電着液に顔料は含まず、全画素のTFTを一括駆動して行う。

【0150】上述したように、第2の実施形態によれば、画素上置き構造におけるコンタクト不良を回避し、信頼性の高いカラーフィルタオンアレイ基板を提供することができる。また、この基板を用いることにより、高開口率化が可能となり、低消費電力の液晶表示装置を提供することができる。

【0151】（実施例8）図25は本発明の第2の実施形態にかかる表示装置用基板（アレイ基板）の断面図である。図中501はガラス基板を示す。ガラス基板501上には、ゲート線509が形成されており、その上には、シリコン酸化膜からなるゲート絶縁膜510が形成されている。ゲート絶縁膜510上には、i-Si半導体層511がパターニングして形成されており、i-Si半導体層511上には、互いに分離された状態でn<sup>+</sup>a-Si層507a、508aが形成されている。さらに、n<sup>+</sup>a-Si層507a、508a上には、ドレイン電極507bおよびソース電極508bが形成されている。このようにしてTFT502が形成されている。

【0152】このTFT502上には、機能層が設けられている。カラーフィルタ層は、TFT502上のブラックマトリクス部503と、ソース電極507bと画素電極506とを電気的に接続するためのコンタクト部505と、着色部504とから構成されている。また、この機能層上には、画素電極506が形成されている。上記構成を有する表示装置用基板（アレイ基板）は、以下のようにして製造することができる。まず、ガラス基板、例えばコーニング社製の7057、NHテクノグラス社製NA-45、日本電気硝子社製OA-2等の無アルカリガラスからなるガラス基板501上にTFT502を形成する。すなわち、ガラス基板501上にTa、Mo-Ta等をスパッタリング等により被着してパターニングすることによりゲート線509を形成し、その上にTa<sub>2</sub>O<sub>5</sub>、SiN<sub>x</sub>、Al<sub>2</sub>O<sub>3</sub>等をスパッタリングやCVD等により被着してゲート絶縁膜510を形成する。ゲート絶縁膜510上にi-Si（真性半導体非晶質シリコン）等をCVD等により被着してパターニングすることにより、i-Si半導体層511を形成す

(19)

35

る。さらにその上に $n^+ a-Si$  (または $Ti$ ) を被着してパターニングすることにより、 $n^+ a-Si$  層507a, 508aを形成し、 $n^+ a-Si$  層507a, 508a上に、ソース電極508bおよびドレイン電極507bを選択的に形成する。

【0153】次に、図26(A)に示すように、TF T 502が形成されたガラス基板501上にスピコートを用いてポリシラン組成物を有機溶剤に溶解させた液を塗布する。ポリシランは、上記式2および式3において、 $R_1$  および $R_3$  がメチル基であり、 $R_2$  がフェニル基であり、 $R_4$  がトリフルオロプロピル基であるポリフェニルメチル／メチルトリフルオロプロピルシランを用いる。ポリシラン組成物は、ポリフェニルメチル／メチルトリフルオロプロピルシラン100重量部に、架橋剤としてシリコーンゴム組成物(ジメチルシリコーンオイルYE3902(東芝シリコーン社製)98.9重量部と、メチルトリアセトキシシラン1重量部と、ジブチル錫ジラウレート0.1重量部とからなる組成物)を8重量部およびエチレン系化合物としてジエチレングリコールジベンゾエートを15重量部を添加したトルエン溶液を用いる。この液の固形分濃度は30重量%である。この液を塗布した後に、ホットプレートを用いて液をプリベークさせる。得られたポリシラン層512の厚さは2.5 $\mu m$ である。

【0154】次いで、図26(B)に示すように、R, G, B着色部およびブラックマトリクス部を順次形成する。すなわち、R着色部に対応するポリシラン層に紫外線を露光することにより親水性のシラノール基( $Si-OH$ 結合)を生成させた後、アレイ基板を赤色の着色ゾル溶液に浸漬してR着色部504を形成し、同様の方法によりG着色部、B着色部、およびブラックマトリクス部503を形成する。なお、露光には中圧水銀灯を用い、5J/cm<sup>2</sup>の光量で行う。紫外線が露光されないポリシラン層は有機ポリシラン層として残る。

【0155】次いで、図26(C)に示すように、着色部504およびブラックマトリクス部503を形成していない513部分にマスク514を用いて紫外線を照射する。次いで、図26(D)に示すように、ITOの微粒子を分散させた導電性ゾル溶液にアレイ基板を浸漬してコンタクト部505を形成する。その後、アレイ基板を水洗いし、100℃、30分のベーキングを行い、着色部、ブラックマトリクス部、およびコンタクト部を含む機能層を完成させる。

【0156】なお、上記で使用した着色ゾル溶液は顔料の微粒子を分散したゾル溶液であり、導電性ゾルはITOの微粒子を分散させたゾル溶液である。これらのゾル溶液は次のようにして作製する。出発原料の金属アルコキシドとしては、テトラエトキシシランを用いる。テトラエトキシシラン100重量部、エチルアルコール100重量部、および純水70重量部からなる溶液に、平均

36

粒径0.1 $\mu m$ の顔料微粒子または平均粒径0.1 $\mu m$ のITO微粒子を20重量部添加し、常温で30分間よく攪拌しながら分散させる。その後、これに塩酸0.3重量部を添加し、さらに常温で2時間攪拌しながら分散させると共にゾル化を続ける。こうして得られた着色ゾル溶液または導電性ゾル溶液100重量部に、顔料または導電性粒子を添加せずに前記同様の工程で作られたゾル溶液300重量部および純水300重量部を添加して希釈することにより、着色ゾル溶液または導電性ゾル溶液とする。

【0157】着色ゾル溶液または導電性ゾル溶液への浸漬は常温で10~15分で終了する。ゾル溶液の温度を上げると、浸漬時間を短くすることができるが、ポリシラン層の再溶解によるピンホールの発生が起きやすくなるので、ゾル溶液の温度は40℃以下、望ましくは30℃以下であることが好ましい。

【0158】なお、ポリシラン層を露光し、ゾル溶液に浸漬する代わりに、ポリシラン層を露光せずに、例えばインクジェット法等の記録技術に使用されるインク噴射技術を用いて着色部ブラックマトリクス部等を形成することもできる。

【0159】次に、図26(E)に示すように、再度スピコートを用いて、機能層上に上記と同様のポリシラン組成物を塗布、プリベークし、厚さ0.5 $\mu m$ のポリシラン層512を形成する。その後、図26(F)に示すように、画素電極に相当する部分が開口したマスク514を用い、ポリシラン層512を紫外線で露光し、図26(G)に示すように、ITOの微粒子を分散させた導電性ゾル溶液にアレイ基板を浸漬して画素電極506を形成する。

【0160】このようにして得られた表示装置用基板は、表面凹凸の極めて少ないものであり、画素電極とTF Tとの間の電氣的接続も優れているものである。

【0161】(実施例9) 図27は本発明の第2の実施形態にかかる液晶表示装置の断面図である。この液晶表示装置は、ガラス基板501上にITO等からなる透明電極516を介して配向膜517を形成してなる対向基板Xと、図25に示す構成を有するTF Tアレイ基板Yと、対向基板XとTF Tアレイ基板Yとの間に挟持された液晶層515とから主に構成されている。なお、TF Tアレイ基板Y上にも配向膜517が形成されており、対向基板XとTF Tアレイ基板Yは、それぞれの配向膜517が対向する配置される。

【0162】上記構成を有する液晶表示装置は、以下のようにして製造することができる。なお、TF Tアレイ基板Yにおいて、図28(A)に示すように、ガラス基板501上にTF T 502を作製する工程は実施例8と同じであるので、その詳細な説明は省略する。

【0163】図28(B)に示すように、ノズル519を用いたノズルコート法により、ポリシラン組成物を有



(20)

37

機溶媒に溶解させた液をTFT502を有するガラス基板501上に塗布し、減圧プリベークし、さらにクリーンオープンで100℃、30分プリベークすることにより厚さ2μmのポリシラン層512を形成する。

【0164】ここで、ポリシランは、上記式2および式3において、R<sub>1</sub> およびR<sub>3</sub> がメチル基であり、R<sub>2</sub> およびR<sub>4</sub> がフェニル基であるポリフェニルメチルシラン(CH<sub>3</sub> C<sub>6</sub> H<sub>5</sub> Si)を用いる。このポリフェニルメチルシラン100重量部に対して、架橋剤としてシリコーンゴム組成物(ジメチルシリコーンオイルYE3902(東芝シリコーン社製)98.9重量部と、メチルトリアセトキシシラン1重量部と、ジブチル錫ジラウレート0.1重量部とからなる組成物)を2重量部およびエステル化合物としてn-ブチルオレート(30重量部を添加したトルエン溶液(固形分濃度20重量%)を用いる。

【0165】次いで、図28(C)に示すように、R着色部に対応するポリシラン層の部分504aを裏面から紫外線により露光する。このとき、G着色部、B着色部に対応するポリシラン層の部分は、図示しないマスクで覆われ、露光されないようになっている。また、TFT部は光を通さないため、R着色部対応部分504aのみが露光され、そこにシラノール基が生成される。なお、露光には中圧水銀灯を用い、4~5 J/cm<sup>2</sup>の光量で行う。ただし、ポリシランの紫外線吸収域である250~400nmの波長を発する光源であれば他の光源でも使用することができる。

【0166】その後、図28(D)に示すように、赤色顔料(例えば、Pig. Red 177)および色補正用の黄色顔料(例えばPig. Yellow 139)を分散させた着色ゾル溶液にアレイ基板を常温で10~15分の浸漬し、これを水洗して、100~115℃で30分程度プリベークしてR着色部を形成する。同様にして、G着色部およびB着色部を形成する。なお、着色する場合に、浸漬法ではなく、インクジェット法を用いれば、R、G、Bに着色される部分の露光が1回で済む。

【0167】着色ゾル溶液は次のようにして作製する。テトラエトキシシラン100重量部、エタノール100重量部、および純水70重量部からなる溶液に、上記顔料(RとYの重量比は70:30)を15重量部添加し、常温で30分間攪拌しながら分散させ、その後、これに塩酸0.3重量部を加え、さらに常温で1時間分散を続ける。その後、この着色ゾル溶液1に対して、着色剤を添加していないゾル溶液3および純水3を添加して希釈することにより、着色ゾル溶液とする。

【0168】次いで、図28(E)に示すように、コンタクト部を開口したマスク514を用いて、コンタクト部に対応するポリシラン層の部分505aを基板表面側から紫外線で露光する。次いで、図28(F)に示すように、ITOの微粒子を分散させた導電性ゾル溶液にT

38

FTAレイ基板を浸漬し、その後、これを水洗して、100~115℃で30分程度のプリベークを行ってコンタクト部505を形成する。なお、導電性ゾル溶液は、上述の着色ゾル溶液の顔料分をITOの微粒子に置き換えたものであり、着色ゾル溶液と同様にして得ることができる。

【0169】次いで、図28(G)に示すように、ブラックマトリクス部を開口したマスクを用いて、ブラックマトリクス部に対応するポリシラン層の部分503aを基板表面側から紫外線で露光する。次いで、図28

(H)に示すように、R、B、黄色(Y)、紫色(V)の顔料(R、B、Y、Vの重量比は15:20:20:15)を分散させた黒色の着色ゾル溶液にTFTアレイ基板を浸漬し、これを水洗して、100~115℃で30分程度のプリベークを行ってブラックマトリクス部503を形成する。なお、この着色ゾル溶液は、上述の着色ゾル溶液と同様にして得ることができる。

【0170】次に、図28(I)に示すように、再度ノズルコート法を用いて、ポリシラン組成物を有機溶媒に溶解させた液518を塗布しプリベークする。その後、図28(J)に示すように、画素電極に相当する部分が開口されたマスク514を用い、ポリシラン層を露光する。次いで、図28(K)に示すように、ITOの微粒子を分散させた導電性ゾル溶液にTFTアレイ基板を浸漬してコンタクト部505および画素電極506を形成する。さらに、画素電極506上に配向膜517を形成してラビング処理を施す。

【0171】一方、ガラス基板501上に、スパッタリング等により透明電極516を形成し、さらにその上に配向膜517を形成してラビング処理を施す。

【0172】このようにして得られた対向基板XとTFTアレイ基板Yを、それぞれの配向膜517が対向するようにして配置し、両基板間に液晶層515を設けて液晶表示装置を完成させる。

【0173】このようにして得られた液晶表示装置は、TFTアレイ基板Yが表面凹凸の極めて少ないものであり、画素電極とTFTとの間の電氣的接続も優れているものである。色再現性やコントラストに優れたものである。

【0174】(実施例10) TFTアレイ基板Yに配向膜517を形成することなく、着色部、コンタクト部、ブラックマトリクス部、および画素電極をポリシランを用いて形成した表面に直接ラビング処理を施すこと以外は実施例9と同様にして液晶表示装置を作製する。ラビング処理は、コンタクト部505および画素電極506を形成した後に行い、その後に加熱プリベークを行う。なお、加熱プリベークした後にラビング処理を行うこともできる。

【0175】このようにして得られた液晶表示装置も、TFTアレイ基板Yが表面凹凸の極めて少ないものであ

(21)

39

り、画素電極とTFTとの間の電氣的接続も優れているものである。色再現性やコントラストに優れたものである。また、実施例10の方法によれば、配向膜形成工程および配向処理工程を省略することができる。

【0176】（実施例11）第2の実施形態にかかる液晶表示装置は、図29に示すように、画素電極506を機能層のコンタクト部505および着色部504上にのみ形成し、ブラックマトリクス部503上に設けない構成であっても良い。すなわち、ブラックマトリクス部503上には、直接配向膜517が形成される。

【0177】このようにして得られた液晶表示装置も、TFTアレイ基板Yが表面凹凸の極めて少ないものであり、画素電極とTFTとの間の電氣的接続も優れているものである。色再現性やコントラストに優れたものである。

【0178】上述したように、第2の実施形態の表示装置用基板は、複雑な工程を経ることなく、容易に機能層を介してTFTと機能層上に形成された画素電極とを接続することができる。また、R、G、B着色部、ブラックマトリクス部、およびコンタクト部が同一の機能層内に形成されるため、平滑性に優れた表示装置用基板が得られる。

【0179】〔第3の実施形態〕第3の実施形態では、有機-無機ハイブリッドガラスからなる開口部全体をITO電極で挟んで蓄積容量を形成して、開口率向上を図ったものである。また、スイッチング素子のゲート絶縁膜を有機-無機ハイブリッドガラスで形成してゲート絶縁膜形成プロセスの低温化を図ったものである。

【0180】以下、第3の実施形態の実施例について説明する。

【0181】（実施例12）図30は本発明の第3の実施形態にかかる表示装置用基板（アレイ基板）の断面図である。図中301はガラス基板を示す。ガラス基板301上には、ゲート線302およびCs線の金属部分303aが形成されており、金属部分303a上には、Cs線の透明部分303bが形成されている。その上には、シリコン酸化膜304が形成されている。この透明部分303bは、ITOで構成されており、この透明部分303bの一部はシリコン酸化膜304により覆われている。シリコン酸化膜304上には、a-Si活性層306がパターニングして形成されており、a-Si活性層306の一部上には、SiNxストッパ膜307が形成されている。さらに、a-Si活性層306および\*

40

\*SiNxストッパ膜307上には、互いに分離された状態で $n^+$  a-Si層308a、308bが形成されている。さらに、 $n^+$  a-Si層308a、308b上には、a-Si活性層306の端部を覆うようにしてドレイン電極310およびソース電極309が形成されている。

【0182】このように形成されたTFTおよびCs線上には、機能層313、314a、314bが形成されている。この機能層は、R、G、Bに着色され、かつ絶縁性を示す領域313と、機能層上に設けられる画素電極312と電氣的に接続する黒色かつ導電性のコンタクト領域314aと、黒色かつ絶縁性のブラックマトリクス部314bを含む。

【0183】上記構成を有するTFTアレイ基板は、以下のようにして製造することができる。まず、ガラス基板301上にMoTa合金を厚さ300nmでスパッタリングしてパターニングすることによりゲート線302、アドレス線（図示せず）、およびCs線の金属部分303aを同時に形成する。

【0184】次いで、金属部分303a上にITOを厚さ150nmでスパッタリングしてパターニングすることにより、Cs線の透明部分303bを形成する。次いで、その上にプラズマCVDにより厚さ400nmのシリコン酸化膜（ゲート絶縁膜）304を形成し、厚さ100nmのa-Si活性層306を形成してパターニングし、その上に厚さ50nmのSiNxストッパ膜307を形成してパターニングする。さらに、a-Si活性層306およびSiNxストッパ膜307上に厚さ50nmの $n^+$  a-Si層308a、308bを形成してパターニングする。次いで、Al等の所定の配線金属をスパッタリングしてパターニングすることにより、ドレイン電極310、ソース電極309、データ配線を同時に形成する。

【0185】次に、上記式4に示すメチレンフェニルポリシランの5重量%トルエン溶液をスピンコートにより膜厚2.0 $\mu$ mで塗布し、フォトリソマスクを通して画素電極とのコンタクト部分314aをdeep-UV光（280-320nm）で露光する。次いで、このTFTアレイ基板を以下の組成の導電性用黒色ゾル・ゲル液に浸漬し、その後純水でリンスし、さらにこれに100℃で10分間ベーキングする。ベーキング後、このコンタクト部314aは黒色となり、しかも導電性を有する。

【0186】

（コンタクト部用黒色ゾル・ゲル液の組成（導電性用））

カーボンブラック微粒子（平均粒径0.3 $\mu$ m）	5g
メタノール（CH <sub>3</sub> OH）	30ml
インジウムアセチルアセトネート（In（COCH <sub>2</sub> COCH <sub>3</sub> ））	20ml
すずアセチルアセトネート（Sn（COCH <sub>2</sub> COCH <sub>3</sub> ））	1ml

(22)

41	42
水	85ml
塩酸 (HCl)	0.25ml
アセトニトリル	8ml

次に、上記同様なプロセスでR、G、Bの画素部分を作 \* するものである。

製する。その際のゾル・ゲル液の組成を以下に示す。ベ 【0187】

ーキング後、このR、G、B領域313は、絶縁性を有\*

(RGB用ゾル・ゲル液の組成(絶縁性用))

顔料 (平均粒径0.1 $\mu$ m)	0.5-1.5g (R、G、Bにより異なる)
メタノール (CH <sub>3</sub> OH)	30ml
テトラエトキシシラン (Si (OC <sub>2</sub> H <sub>5</sub> ) <sub>4</sub> )	20ml
水	85ml
塩酸 (HCl)	0.25ml
アセトニトリル	8ml

次に、TFTアレイ基板全面を露光し、その後のプロセ ※ ングする。このBM部314bは黒色となり、しかも絶縁性を有するものである。

（絶縁部）314bを形成する。その際のゾル・ゲル液 【0188】

の組成を以下に示す。次に、250℃で60分でベーキ※

(絶縁性ブラックマトリクス用ゾル・ゲル液の組成)

顔料 (平均粒径0.3 $\mu$ m、R、G、B、シアン、 バイオレット、イエロー顔料の混合)	5g
メタノール (CH <sub>3</sub> OH)	30ml
テトラエトキシシラン (Si (OC <sub>2</sub> H <sub>5</sub> ) <sub>4</sub> )	20ml
水	85ml
塩酸 (HCl)	0.25ml
アセトニトリル	8ml

このようにして機能層を形成する。最後に、機能層上にITOを厚さ150nmでスパッタリングしてパターンニングすることにより、画素電極312を形成する。

【0189】一方、対向基板側は、対向基板上にITO 30をスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置においては、機能層（コンタクト部、R、G、B部、およびBM部）が有機-無機ハイブリッドガラスで構成されているので、信頼性が高く、しかもCs部のほとんどが開口部となるため、高開口率を実現できるものである。

【0190】（実施例13）図31は本発明の第3の実 40 施形態にかかる表示装置用基板の断面図である。図31において図30と同一部分については図30と同一符号を付してその詳細な説明は省略する。

【0191】図31の表示装置用基板（アレイ基板）においては、Cs線の金属部分303aを覆うようにシリコン酸化膜304が形成されており、シリコン酸化膜304上にCs線の透明部分303bが形成されており、金属部分303aと透明部分303bとの間のコンタクトは、シリコン酸化膜304に設けられたコンタクトホールにより行う。

【0192】TFTおよびCs線上には、機能層313、314a、314bが形成されている。この機能層は、R、G、Bに着色され、かつ絶縁性を示す領域313と、機能層上に設けられる画素電極312と電気的に接続する黒色かつ導電性のコンタクト領域314aと、黒色かつ絶縁性のブラックマトリクス部314bとを含む。

【0193】上記構成を有する表示装置用基板は、以下のようにして製造することができる。ガラス基板301上にMoTa合金を厚さ300nmでスパッタリングすることにより、ゲート線302、アドレス線（図示せず）、およびCs線の金属部分303aを同時に形成する。次いで、プラズマCVDによりシリコン酸化膜（ゲート絶縁膜）304を厚さ400nmで形成してパターンニングする。次いで、金属部分303a上のシリコン酸化膜304にコンタクトホールを設け、シリコン酸化膜304上にITOを厚さ150nmでスパッタリングすることにより、Cs線の透明部分303bを形成する。このとき、Cs線の金属部分303aと透明部分303bはコンタクトホールで電気的に接続されている。

【0194】以下の工程（TFT、機能層、画素電極の形成）は、実施例12と同様に行う。

50 【0195】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向

(23)

43

基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置においては、機能層（コンタクト部、R、G、B部、およびBM部）が有機-無機ハイブリッドガラスで構成されているので、信頼性が高く、しかもCs部のほとんどが開口部となるため、高開口率を実現できるものである。

【0196】（実施例14）図32は本発明の第3の実施形態にかかる表示装置用基板の断面図である。図32において図30と同一部分については図30と同一符号を付してその詳細な説明は省略する。

【0197】図32の表示装置用基板（アレイ基板）においては、シリコン酸化膜304をゲート線302上およびCs線の金属部分303a上に設け、ゲート絶縁膜として機能する領域を絶縁性とし、Cs線の透明部分303bとして機能する領域を導電性としている。

【0198】TFTおよびCs線には、機能層313、314a、314bが形成されている。この機能層\*  
（ゲート絶縁膜用ゾル・ゲル液の組成）

メタノール（CH <sub>3</sub> OH）	30ml
テトラエトキシシラン（Si（OC <sub>2</sub> H <sub>5</sub> ） <sub>4</sub> ）	20ml
水	85ml
塩酸（HCl）	0.25ml
アセトニトリル	8ml

次に、このガラス基板全面を露光し、その後、以下の組成のゾル・ゲル液に浸漬した後に純水でリンスし、その後250℃、1時間でベーキングする。ベーキング後、※

（Cs透明電極用ゾル・ゲル液の組成）

メタノール（CH <sub>3</sub> OH）	30ml
インジウムアセチルアセトネート（In（COCH <sub>2</sub> COCH <sub>3</sub> ））	20ml
すずアセチルアセトネート（Sn（COCH <sub>2</sub> COCH <sub>3</sub> ））	1ml
水	85ml
塩酸（HCl）	0.25ml
アセトニトリル	8ml

以下の工程（TFT、機能層、画素電極の形成）は、実施例12と同様にして行う。

【0202】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置においては、機能層、（ゲート絶縁膜、コンタクト部、R、G、B部、およびBM部）が有機-無機ハイブリッドガラスで構成されているので、信頼性が高く、しかもCs部のほとんどが開口部となるため高開口率を実現できるものである。さらに、ゲート絶縁膜をポリシランを用いたプロセスで作製するので、従来のス

44

\*は、R、G、Bに着色され、かつ絶縁性を示す領域313と、機能層上に設けられる画素電極312と電気的に接続する黒色かつ導電性のコンタクト領域314aと、黒色かつ絶縁性のブラックマトリクス部314bとを含む。

【0199】このような構成の表示装置用基板は、以下のようにして製造することができる。ガラス基板301上にMoTa合金を厚さ300nmでスパッタリングしてパターンニングすることにより、ゲート線302、アドレ線（図示せず）、およびCs線の金属部分303aを同時に形成する。次いで、この上にメチルフェニルポリシラン（式4）の5重量%トルエン溶液をスピコートにより膜厚400nmで塗布し、フォトマスクを通してゲート絶縁膜304部分を選択的にdeep-UV光（280-320nm）で露光する。次いで、このガラス基板を以下の組成のゾル・ゲル液に浸漬した後に純水でリンスし、100℃、10分でベーキングする。ベーキングした後にこの部分304は絶縁性を有する。

【0200】

※この部分303bは透明であり、導電性を有するものである。

【0201】

パッタリングにより形成されたSiO<sub>2</sub>膜に比べて低温プロセスが可能となり、プラスチック基板にも形成することができる。

【0203】（実施例15）図33は本発明の第3の実施形態にかかる表示装置用基板の断面図である。図33において図30と同一部分については図30と同一符号を付してその詳細な説明は省略する。

【0204】図33の表示装置用基板（アレイ基板）においては、ゲート線302上およびCs線303上に設けられた絶縁膜304を有機-無機ハイブリッドガラスで構成し、ゲート絶縁膜304aとして機能する領域と、Cs用絶縁膜304bとして機能する領域を形成する。

(24)

45

【0205】TFTおよびCs線上には、機能層313、314a、314bが形成されている。この機能層は、R、G、Bに着色され、かつ導電性を示す領域313と、黒色かつ導電性のコンタクト領域314aと、黒色かつ絶縁性のブラックマトリクス部314bとを含む。

【0206】このような構成の表示装置用基板は、以下のようにして製造することができる。ガラス基板301上にMoTa合金を厚さ300nmでスパッタリングし\*

(ゲート絶縁膜用およびCs絶縁膜用ゾル・ゲル液の組成)

エタノール ( $C_2H_5OH$ )	30ml
テトラエトキシシラン ( $Si(OC_2H_5)_4$ )	20ml
水	20ml
塩酸 (HCl)	0.3ml

以下の工程 (TFT、機能層 (コンタクト部)) は、実施例12と同様にして行う。

【0209】次に、上記同様なプロセスでR、G、Bの画素部分を作製する。その際のゾル・ゲル液の組成を以※

(RGB用ゾル・ゲル液の組成)

顔料 (平均粒径0.1 $\mu$ m)	0.5-1.5g (R、G、Bにより異なる)
メタノール ( $CH_3OH$ )	30ml
インジウムアセチルアセトネート ( $In(COCH_2COCH_3)$ )	20ml
すずアセチルアセトネート ( $Sn(COCH_2COCH_3)$ )	1ml
水	85ml
塩酸 (HCl)	0.25ml
アセトニトリル	8ml

次に、TFTアレイ基板全面を露光し、その後のプロセスは実施例12と同様にして、残りのブラックマトリクス部 (絶縁部) 314bを形成する。ベーキング後、この部分314bは黒色であり、かつ絶縁性を有するものである。

【0211】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置においては、機能層、(ゲート絶縁膜、コンタクト部、R、G、B部、およびBM部) が有機-無機ハイブリッドガラスで構成されているので、信頼性が高く、しかもCs部のほとんどが開口部となるため高開口率を実現できるものである。さらに、ゲート絶縁膜をポリシランを用いたプロセスで作製するので、従来のスパッタリングにより形成された $SiO_2$ 膜に比べて低温プロセスが可能となり、プラスチック基板にも形成することができる。

【0212】(実施例16) 図34は本発明の第3の実施形態にかかる表示装置用基板の断面図である。図34

46

\*でパターンニングすることにより、ゲート線302、アドレス線 (図示せず)、およびCs線303を同時に形成する。

【0207】次に、以下の組成のゾル・ゲル液をスピンコートにより塗布し、200℃で3時間ベーキングすることにより、厚さ400nmのゲート絶縁膜304aおよびCs用絶縁膜304bを同時に形成する。この部分は透明であり、かつ絶縁性を有するものである。

【0208】

※下に示す。ベーキング後、このR、G、B部分313は、導電性を有するものである。

【0210】

30 において図33と同一部分については図33と同一符号を付してその詳細な説明は省略する。

【0213】図34の表示装置用基板 (アレイ基板) においては、Cs用絶縁膜304b上に画素電極312を形成している。

【0214】TFTおよびCs線上には、機能層313、314が形成されている。この機能層は、R、G、Bに着色され、かつ導電性を示す領域313と、黒色かつ絶縁性のブラックマトリクス部314とを含む。

40 【0215】このような構成を有する表示装置用基板は、以下のようにして製造することができる。ガラス基板301上にMoTa合金を厚さ300nmでスパッタリングしてパターンニングすることにより、ゲート線302、アドレス線、およびCs線303を同時に形成する。

【0216】次に、実施例15に示すようにして厚さ400nmのゲート絶縁膜304aおよびCs用絶縁膜304bを同時に形成する。この部分は透明であり、かつ絶縁性を有するものである。

50 【0217】以下の工程 (TFT、機能層 (RGB部、ブラックマトリクス部)) は、実施例12と同様にして

(25)

47

行う。なお、機能層（RGB部、ブラックマトリクス部）は、絶縁性を有するものである。

【0218】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレ基板とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。このようにして製造された液晶表示装置においては、機能層（コンタクト部、R、G、B部、およびBM部）が有機-無機ハイブリッドガラスで構成されているので、安価で信頼性が高く、しかも高開口率、高画質、低消費電力を実現できるものである。さらに、ゲート絶縁膜をポリシランを用いたプロセスで作製するので、従来のスパッタリングにより形成された $\text{SiO}_2$ 膜に比べて低温プロセスが可能となり、プラスチック基板にも形成することができる。

【0219】上述したように、第3の実施形態においては、ゲート絶縁膜の材料として、有機-無機ハイブリッドガラスを用いることにより、低温プロセスとなり、プラスチック基板上にTFTを形成することができる。また、本発明においては、Cs線全体を光透過性のカラーフィルタで構成することにより、開口率を向上させることができる。その結果、低消費電力の液晶表示装置を提供することができる。

【第4の実施形態】第4の実施形態では、カラーフィルタ層上に画素電極を形成する場合に微細加工ができないことを解決すべく、機能層上に絶縁膜を介して画素電極を形成することを特徴とする。

【0220】以下、第4の実施形態にかかる表示装置用基板の実施例について説明する。（実施例17）図35は本発明の第4の実施形態にかかる液晶表示装置の断面図である。図中611はガラス基板を示す。ガラス基板611上には、ゲート電極612が形成されており、その上には、シリコン酸化膜613が形成されている。シリコン酸化膜613上には、島状のa-Si活性層614が形成されている。a-Si活性層614上には、溝が設けられており、溝により分離されている。また、分離されたa-Si活性層614上には、 $n^+$ a-Siコンタクト層615a、615bを介してそれぞれドレイン電極616a、ソース電極616bが形成されている。ドレイン電極616aおよびソース電極616b上には、 $\text{SiN}_x$ 膜617が形成されている。この $\text{SiN}_x$ 膜617は、分離用溝内にも埋設されている。 $\text{SiN}_x$ 膜617上には、ポリシラン製機能層（ブラックマトリクス部）618dが形成されている。さらに、ポリシラン製機能層618d上には、絶縁膜6110が形成されている。

【0221】一方、ガラス基板611上には、蓄積容量線（Cs線）619a~619cが形成されており、Cs線619a~619c上には、シリコン酸化膜613を介してコンタクト用電極6112a~6112c

48

が形成されている。さらに、その上には、 $\text{SiN}_x$ 膜617、ポリシラン製機能層618a~618c、および絶縁膜6110が形成されている。Cs線619a~619c上には、コンタクト用電極6112a~6112cに達するコンタクトホール6112a~6112cがそれぞれ形成されており、コンタクトホール6112a~6112c内には、ITO製画素電極6113a~6113cが形成されている。また、ソース電極616b上にもコンタクトホールが形成されており、このコンタクトホール内にITO製画素電極6113aが形成されている。このようにしてTFTアレ基板が構成されている。

【0222】また、TFTアレ基板上方には、対向電極6115を有するガラス基板（対向基板）6114が対向電極6115をTFTに対向させるようにして配置されている。このTFTアレ基板と対向基板との間には、液晶層6116が挟持されている。

【0223】上記構成を有する液晶表示装置は、以下のようして製造することができる。まず、ガラス基板611上にMo-Ta合金を厚さ300nmでスパッタリングしてパターニングすることによりゲート電極612、図示しないアドレス線（走査線）、およびCs線（容量線）619を同時に形成する。

【0224】次いで、その上にプラズマCVDによりシリコン酸化膜613を厚さ350nmで形成し、その上にa-Si層を厚さ300nmで形成し、さらにその上に $n^+$ a-Si層を厚さ50nmで順次形成する。次いで、a-Si層および $n^+$ a-Si層をパターニングして、島状のa-Si活性層614および $n^+$ a-Siコンタクト層615a、615bを形成する。このとき、 $n^+$ a-Siコンタクト層615a、615bの分離は、ソース・ドレイン電極を形成した後でドライエッチング、例えばRIE（Reactive Ion Etching）により行う。

【0225】次いで、コンタクト部の $\text{SiO}_x$ 膜613を希HFを用いてエッチングして、ゲート線、信号線の引き出し電極のコンタクトホールを形成する。次に、 $n^+$ a-Siコンタクト層615a、615b上に、Al膜をスパッタリングにより形成し、パターニングして、ドレイン電極616a、ソース電極616b、図示しないデータ配線（信号線）、およびコンタクト部電極6112a~6112cを同時に形成する。コンタクト部電極6112a~6112cは、それぞれ画素電極6113a~6113cと接続されて同電位となることにより、Cs容量をCs線-コンタクト部電極間で形成することができる。この場合、Cs用絶縁膜はゲート絶縁膜で形成することができる。その後、上記ドレイン電極616a、ソース電極616b、およびコンタクト部電極6112a~6112c上に、プラズマCVDにより、 $\text{SiN}_x$ 膜617を厚さ300nmで成膜す

(26)

49

る。

【0226】次いで、このSiNx膜617上にポリシランをスピコート等で塗布し、プリベークすることによりポリシラン膜を形成する。このポリシラン膜に選択的に紫外線を露光して染色パターンの潜像を形成する。この潜像が形成された後に、塩基性染料を含有するディッピング液中にこの基板を浸漬することにより、ポリシラン膜の露光部を選択的にパターン染色し、その後これをベーキングすることにより露光部をガラス化させる。この露光、ディッピング、ベーキングをそれぞれRGBについて3回繰り返し、着色部618a~618cを形成する。次いで、全面を露光して、ガラス化されていない部分すべてに潜像を形成し、その後に基板をカーボンブラックゾルに浸漬し、着色部およびブラックマトリクス部を完全にガラス化させ、これを250℃、60分程度でポストベークして、ブラックマトリクス部618dの染色を行う。このようにして、TFTアレイ基板上にカラーフィルタおよびブラックマトリクスを作製する。

【0227】次に、この上にプラズマCVDで保護膜であるSiO<sub>x</sub>絶縁膜6110を厚さ10nmで成膜した後、コンタクト部6111、6112aのSiNx膜617、機能層618およびSiO<sub>x</sub>617をCF<sub>4</sub>+O<sub>2</sub>の混合ガスでドライエッチングしてコンタクトホールを形成する。次いで、これにITOをスパッタリングし、パターニングすることにより画素電極6113a~6113cを形成する。一方、対向基板6114側は、対向基板6114上にITOをスパッタリングし、共通電極6115を形成する。この対向基板6114と上述のTFTアレイ基板611とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。

【0228】ITOのエッチングは、主にHCl+HNO<sub>3</sub>+H<sub>2</sub>Oの混合溶液を用いて行うが、ポリシラン製カラーフィルタ上に直接ITOを成膜すると、両者の密着性が良くない上に、レジストのパターンに対してサイドエッチングが1μm以上になってしまっていた。そこで、本発明のように、カラーフィルタを形成した後に、プラズマCVDでSiO<sub>x</sub>絶縁膜を成膜し、このSiO<sub>x</sub>絶縁膜を介してITO膜を形成した場合には、ITO膜の密着性が向上する上に、サイドエッチングも0.5μm以下となり、パターン精度の良い画素電極が形成できた。

【0229】さらに、スパッタリングで成膜したITO膜は、下地によって結晶粒径等がかなり異なるために、染料で染色されているポリシラン製カラーフィルタ上に直接ITO膜を成膜すると、RGBの各色素によって、抵抗率や透過率等の膜質が異なるITO膜が形成されてしまう。また、成膜の条件等によってはITOが白濁する場合もあったが、本発明によれば、ポリシラン製カラ

50

ーフィルタ上に保護膜として絶縁膜を用いることによって、RGBの各色素の影響を受けず膜質の等しい良質な画素電極を形成することができた。このとき、膜厚は10nm以上であれば、平坦化を実現でき、色素の影響を防ぐことができた。

【0230】（実施例18）図36は本発明の第4の実施形態にかかる液晶表示装置のアレイ基板の断面図である。なお、図35と同一部分については図35と同一の符号を付してその詳細な説明は省略する。

【0231】実施例17では、蓄積容量用絶縁膜がゲート絶縁膜より構成される場合について説明したが、実施例18では、蓄積容量をポリシラン製カラーフィルタが兼ねる構造について説明する。この場合、ポリシラン製カラーフィルタ上の絶縁膜の膜厚は、蓄積容量の減少を防ぐためにも薄い方が良く、10nmから50nm程度が好ましい。

【0232】このアレイ基板では、Cs線619a上にコンタクト用電極6112'を設けていない。すなわち、ガラス基板611上に、シリコン酸化膜613を介してCs線619aが形成されており、その上にSiNx膜617を介してポリシラン製機能層618aが形成されている。

【0233】上記構成を有するアレイ基板は、以下のようにして製造することができる。まず、ガラス基板611上にMo-Ta合金を厚さ300nmでスパッタリングしてパターニングすることによりゲート電極612、図示しないアドレス線（走査線）を同時に形成する。

【0234】次いで、その上にプラズマCVDによりシリコン酸化膜613を厚さ350nmで形成し、その上にa-Si層を厚さ300nmで形成し、さらにその上にn<sup>+</sup>a-Si層を厚さ50nmで順次形成する。次いで、a-Si層およびn<sup>+</sup>a-Si層をパターニングして、島状のa-Si活性層614およびn<sup>+</sup>a-Siコンタクト層615a、615bを形成する。このとき、n<sup>+</sup>a-Siコンタクト層615a、615bの分離は、ソース・ドレイン電極を形成した後でRIE等により行う。

【0235】次いで、ゲート線、信号線の引き出し電極部のSiO<sub>x</sub>膜を希HFを用いてエッチングしてコンタクトホールを形成する。次に、n<sup>+</sup>a-Siコンタクト層615a、615b上に、Al膜をスパッタリングにより形成し、パターニングして、ドレイン電極616a、ソース電極616b、図示しないデータ配線（信号線）、蓄積容量線（Cs線）619を同時に形成する。その後、この上にプラズマCVDにより、SiNx617を厚さ300nmで成膜する。

【0236】次いで、このSiNx膜617上にポリシランをスピコート等で塗布し、プリベークすることによりポリシラン膜を形成する。このポリシラン膜に選択的に紫外線を露光して染色パターンの潜像を形成する。

(27)

51

この潜像が形成された後に、塩基性染料を含有するディッピング液中にこのアレイ基板をディッピングすることにより、ポリシラン膜をパターン染色し、その後これをベーキングすることにより露光部をガラス化させる。この露光、ディッピング、ベーキングをそれぞれRGBについて3回繰り返し、着色部618a(618b, 618c)を形成する。次いで、全面を露光した後に基板をカーボンブラックゾルに浸漬し、着色部およびブラックマトリクス部618d完全にガラス化させ、これを250℃、60分程度でポストバークして、ブラックマトリクス部618dの染色を行う。このようにして、TFTアレイ基板上にカラーフィルタおよびブラックマトリクスを作製する。

【0237】次に、この上にプラズマCVDで保護膜であるSiO<sub>x</sub>絶縁膜6110を厚さ10nmで成膜した後、パッド電極部、コンタクト部6111のSiNx、カラーフィルタおよびSiO<sub>x</sub>をCF<sub>4</sub>+O<sub>2</sub>の混合ガスでドライエッチングしてコンタクトホールを形成する。次に、これにITOをスパッタリングし、パターニングすることにより画素電極6113a(6113b, 6113c)を形成する。

【0238】一方、対向基板側は、対向基板上にITOをスパッタリングし、コモン電極を形成する。この対向基板と上述のTFTアレイ基板611とを対向配置させてセルを組み立て、このセルに液晶材料を注入することにより液晶表示装置を完成させる。

【0239】実施例18によれば、蓄積容量形成用の絶縁膜をカラーフィルタが兼ねる構造となっているので、実施例17で必要であったコンタクト部電極形成が不要となり歩留りが向上する。

【0240】上記第1～第4の実施形態における技術は、必要に応じて適宜組み合わせて実施することができる。

【0241】

【発明の効果】本発明によれば、以下のような効果が得られる。

【0242】第1に、本発明によれば、同一の層で形成される有機-無機ハイブリッドガラスに種々の機能を持たせることができる。この機能層をTFT上に形成することにより、平坦化膜としての役割を兼ね備え、アレイ基板表面の凹凸が著しく減少し、ギャップ制御精度が厳しい高速応答モードのものを高い歩留りで得ることができる。平坦性が高いゆえ、開口率を90%以上にすることができ、消費電力を低く保つことができる。

【0243】第2に、アレイ基板上にポリシラン製機能層を設ける方法では、従来の顔料分散法に比べて工程数が少ないため、TFTに与えるダメージが小さく、大画面で特に問題となるTFTムラ不良が生じないので、大画面ディスプレイを高歩留りで提供することができる。

【0244】第3に、ポリシラン製機能層を用いる方法

52

では、同一層に種々の機能を持たせられるため、材料を削減することができる。さらに、上記Embodiment 1～4の態様にすることにより、さらに歩留りを向上させることができる。

【図面の簡単な説明】

【図1】(A)～(D)は本発明の表示装置用基板を製造する工程を示す断面図。

【図2】(A)はゲート線とCs線が別であるTFT基板を示す平面図、(B)は(A)に示すTFT基板の等価回路図。

【図3】(A)はCsオンゲート構造のTFT基板を示す平面図、(B)は(A)に示すTFT基板の等価回路図。

【図4】本発明における液晶表示装置のパッド部を示す説明図。

【図5】本発明における液晶表示装置のパッド部を示す断面図。

【図6】本発明における液晶表示装置のパッド部を示す断面図。

【図7】本発明における液晶表示装置のパッド部を示す断面図。

【図8】(A)、(B)は図5に示すパッド部の作製工程を示す断面図。

【図9】(A)～(D)は図6に示すパッド部の作製工程を示す断面図。

【図10】(A)～(E)は図7に示すパッド部の作製工程を示す断面図。

【図11】(A)～(E)は第1の実施形態における表示装置用基板の製造方法を説明するための断面図。

【図12】本発明の第1の実施形態にかかる表示装置用基板を示す断面図。

【図13】本発明の第1の実施形態にかかる表示装置用基板を示す断面図。

【図14】図13に示す表示装置用基板におけるコンタクト部を示す断面図。

【図15】本発明の第2の実施形態における表示装置用基板を示す断面図。

【図16】(A)～(H)は図15に示す表示装置用基板の製造方法を説明するための断面図。

【図17】本発明の第2の実施形態における表示装置用基板を示す断面図。

【図18】(A)～(H)は図17に示す表示装置用基板の製造方法を説明するための断面図。

【図19】本発明の第2の実施形態における表示装置用基板を示す断面図。

【図20】(A)～(H)は図19に示す表示装置用基板の製造方法を説明するための断面図。

【図21】本発明の第2の実施形態における表示装置用基板を示す断面図。

【図22】本発明の第2の実施形態における表示装置用



(28)

53

基板を示す断面図。

【図23】(A)～(I)は図21および図22に示す表示装置用基板の製造方法を説明するための断面図。

【図24】(A)～(G)は図21および図22に示す表示装置用基板の製造方法を説明するための断面図。

【図 25】本発明の第 2 の実施形態における表示装置用基板を示す断面図。

【図26】(A)～(G)は図25に示す表示装置用基板の製造方法を説明するための断面図。

【図 27】本発明の第 2 の実施形態における表示装置用 10  
基板を示す断面図。

【図 28】(A)～(K)は図 27に示す表示装置用基板の製造方法を説明するための断面図。

【図 29】本発明の第 2 の実施形態における表示装置用基板を示す断面図。

【図 30】本発明の第 3 の実施形態における表示装置用基板を示す断面図。

【図 3 1】本発明の第 3 の実施形態における表示装置用基板を示す断面図。

【図 3 2】本発明の第 3 の実施形態における表示装置用 20  
基板を示す断面図。

【図 3 3】本発明の第 3 の実施形態における表示装置用基板を示す断面図。

54

【図 3 4】本発明の第 3 の実施形態における表示装置用基板を示す断面図。

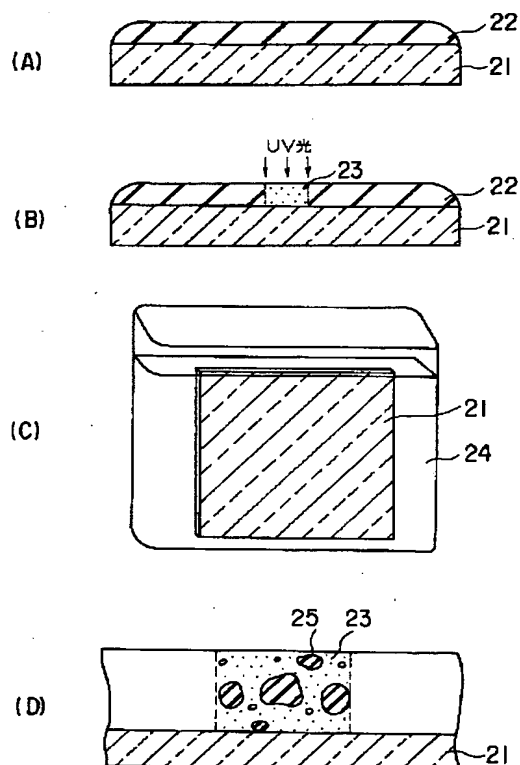
【図 35】本発明の第 4 の実施形態における表示装置用基板を示す断面図。

【図 36】本発明の第 4 の実施形態における表示装置用基板を示す断面図。

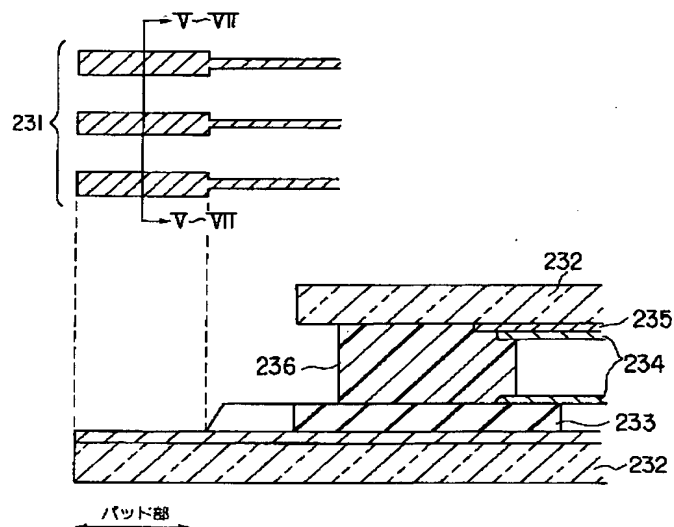
【符号の説明】

1 1, 1 2 0…ガラス基板、1 2, 1 2 8, 2 2 1…ゲート線、1 3, 1 2 3…シリコン酸化膜、1 4, 1 2 9…a-Si 活性層、1 5 a, 1 5 b, 1 2 1 a, 1 2 1 b…n<sup>+</sup> a-Si 層、1 6 a, 1 3 1…ドレイン電極、1 6 b, 1 3 2…ソース電極、1 7…SiNx 膜、1 8 a…ポリシラン製機能層、1 8 d…ブラックマトリクス部、1 9 a, 1 2 2 a~1 2 2 c, 2 2 3…Cs 線、2 1, 2 3 2…アレイ基板、2 2, 2 3 7…レジスト、2 4…ディッピング液、2 5…酸化物、1 1 1, 1 1 2…コンタクト部、1 1 4…ビア、1 2 4…Cs および電着用透明電極、1 2 6 a~1 2 6 d, 2 3 9…潜像、1 2 7 a~1 2 7 d…着色部、1 3 0…SiNx-i ストップ膜、2 2 2…信号線、2 2 4, 2 2 5…画素電極、2 3 1…外部端子、2 3 1 a…パッド、2 3 1 b, 2 3 8…有機-無機ハイブリッドガラス、2 3 3…BM 縁部、2 3 4…配向膜、2 3 5…対向電極。

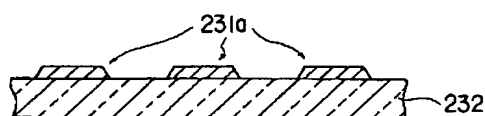
【图 1】



【図 4】

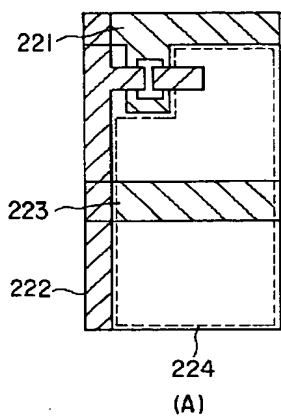


【图 5】

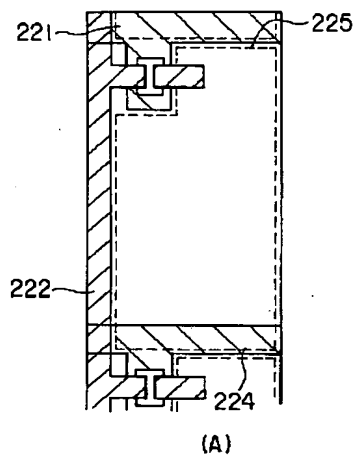


(29)

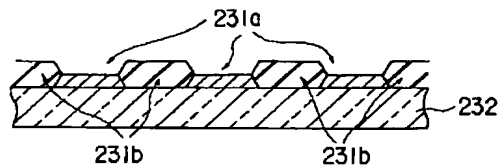
【図2】



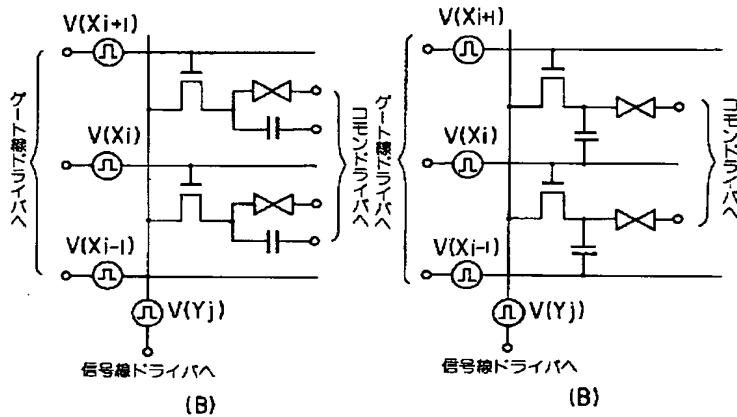
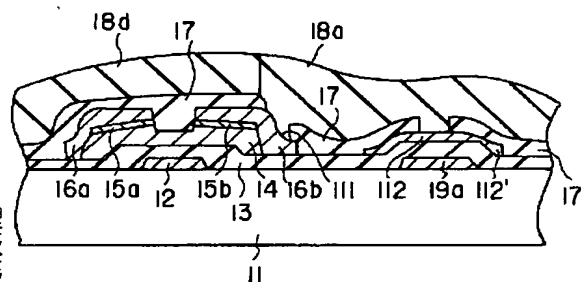
【図3】



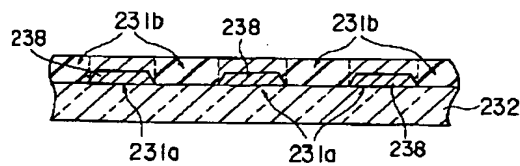
【図6】



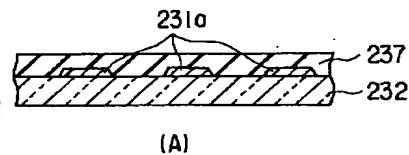
【図12】



【図7】



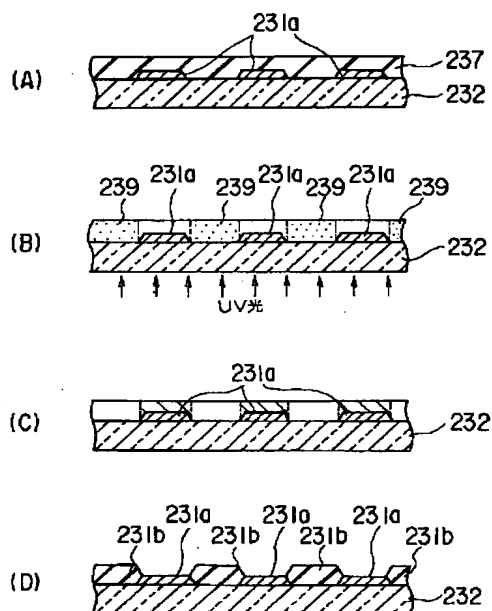
【図8】



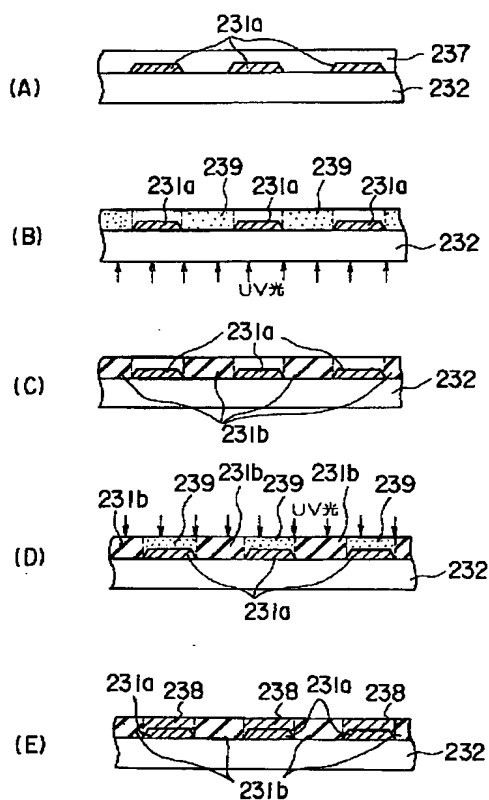
(B)

(30)

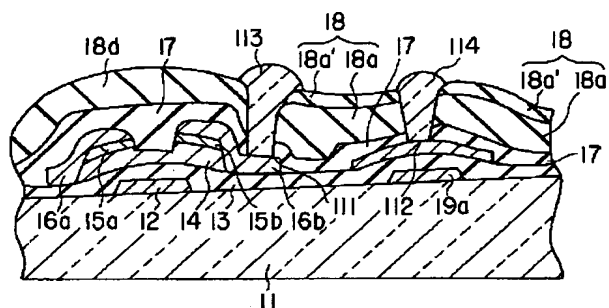
【図9】



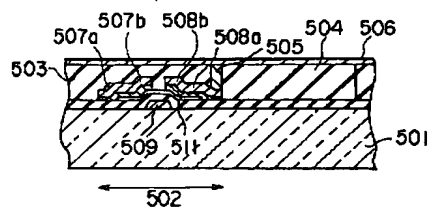
【図10】



【図13】

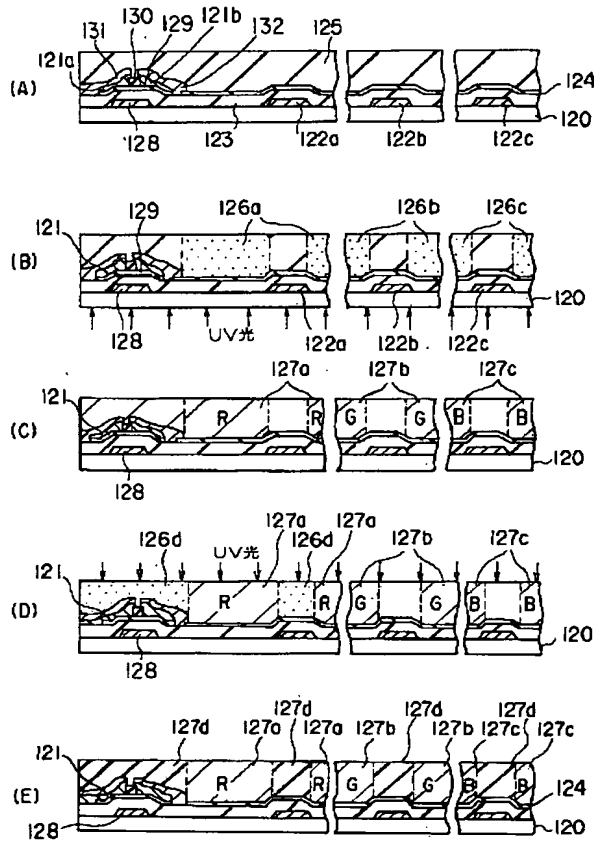


【図25】

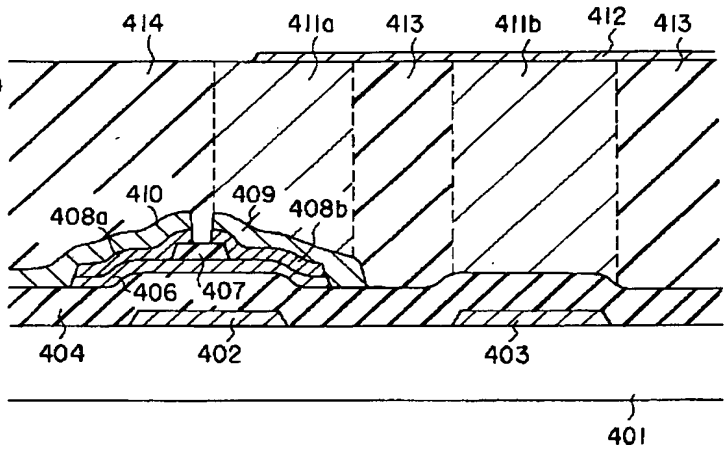


(31)

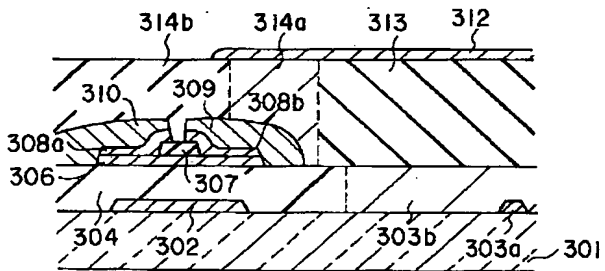
【図11】



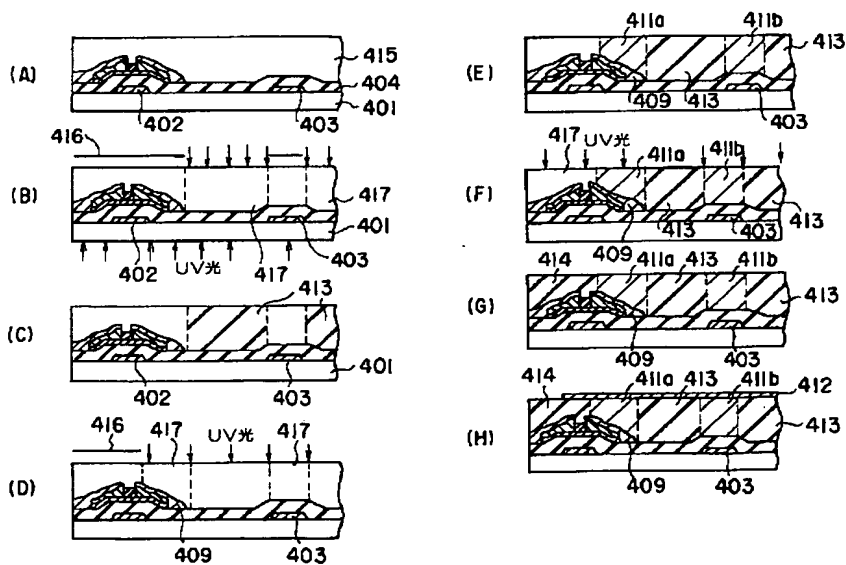
【図15】



【図32】

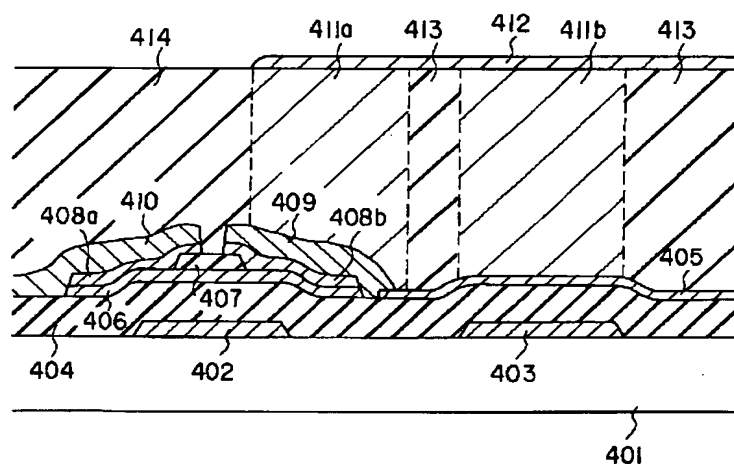


【図16】

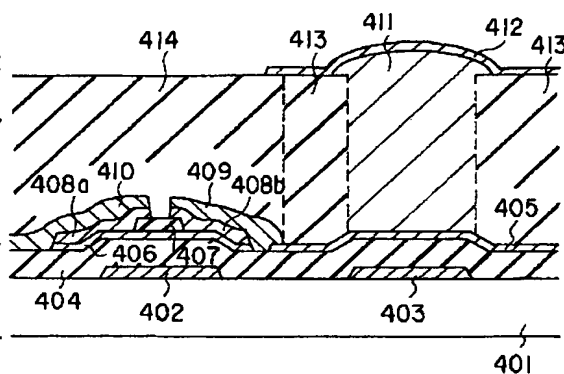


(32)

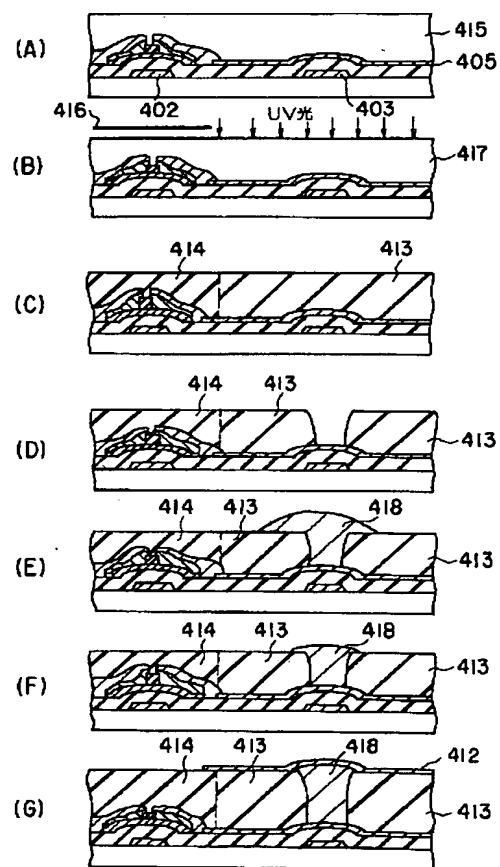
【図17】



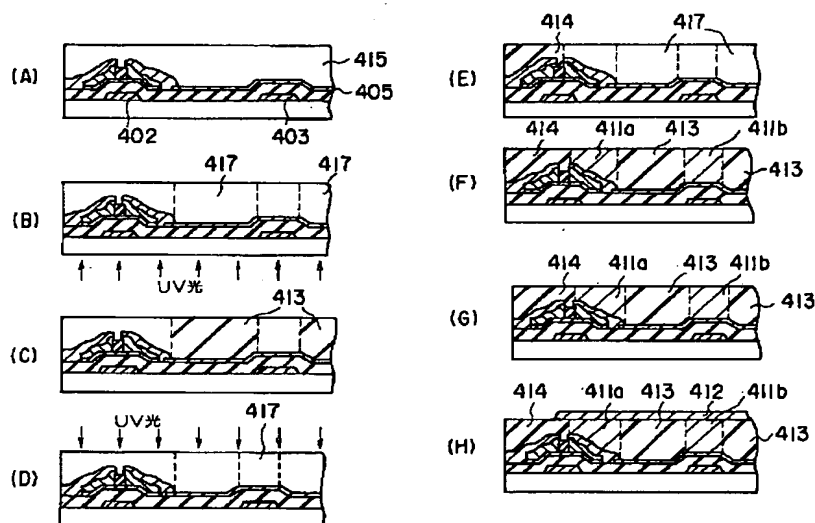
【図21】



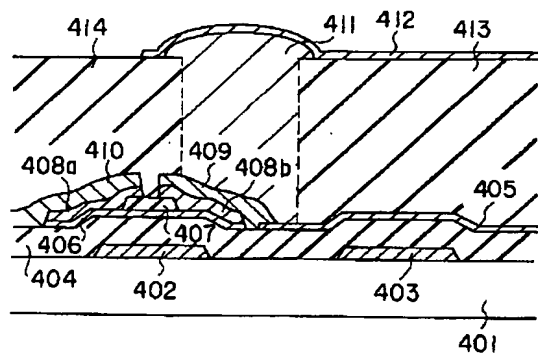
【図24】



【図18】

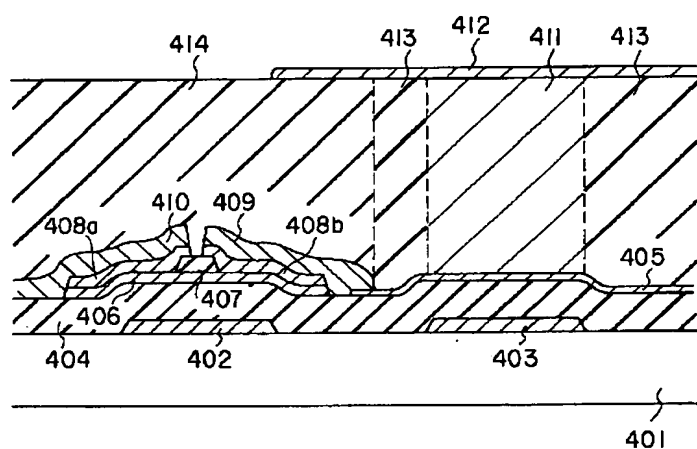


【図22】

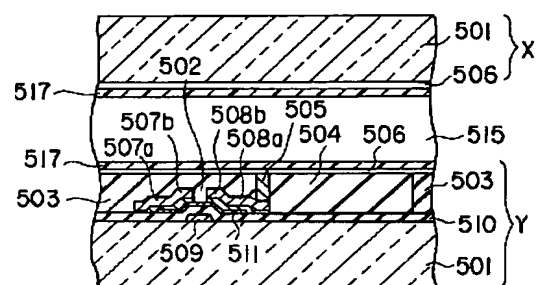


(33)

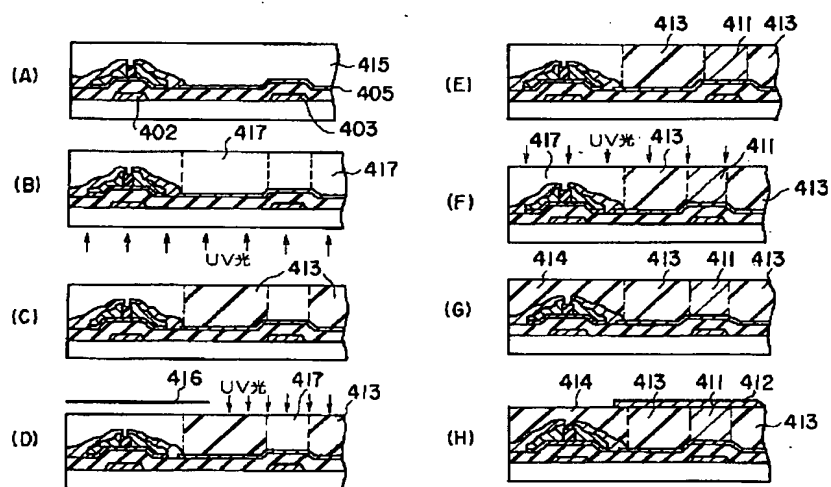
【図19】



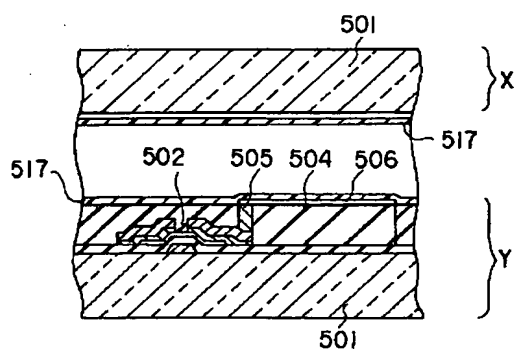
【図27】



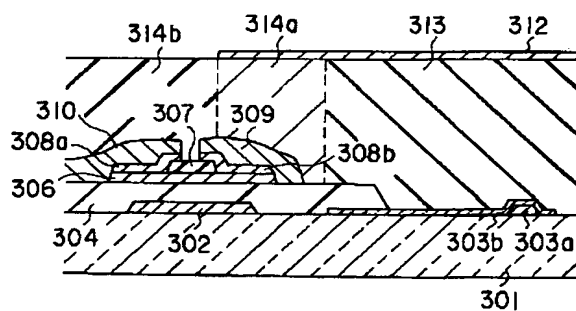
【図20】



【図29】

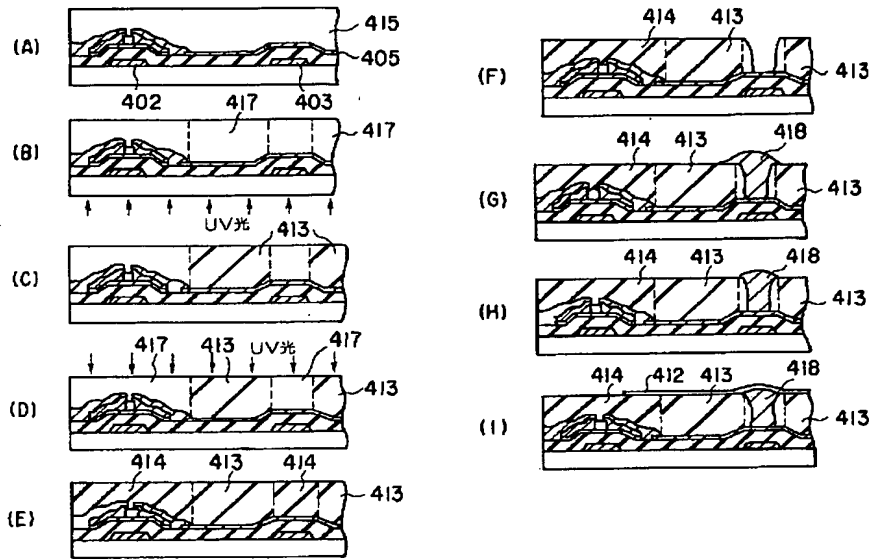


【図30】

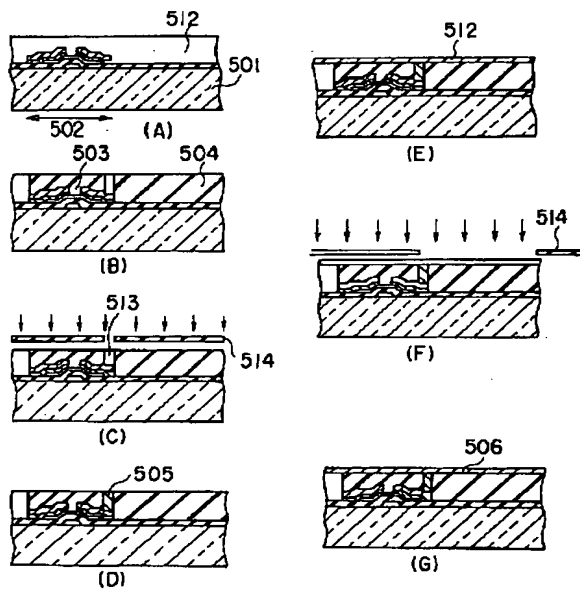


(34)

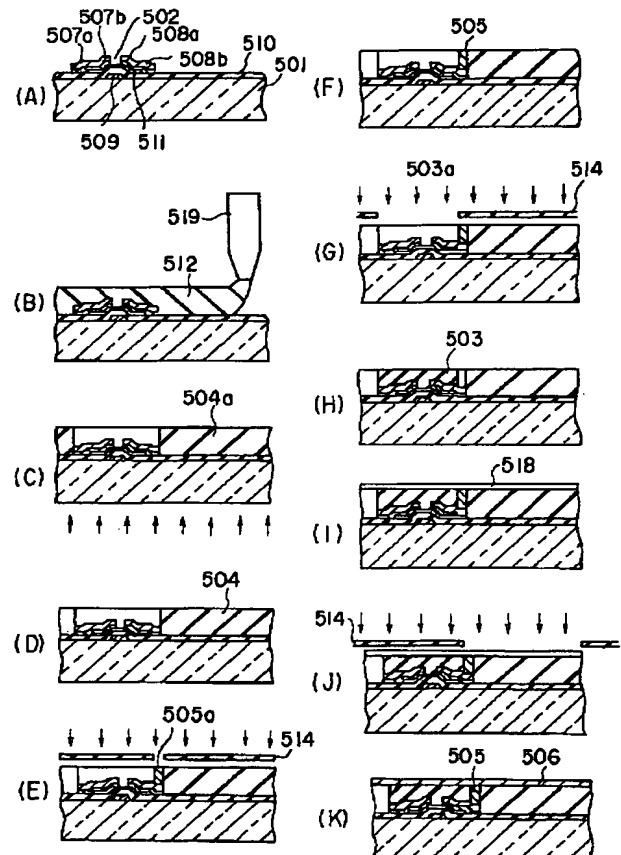
【図23】



【図26】

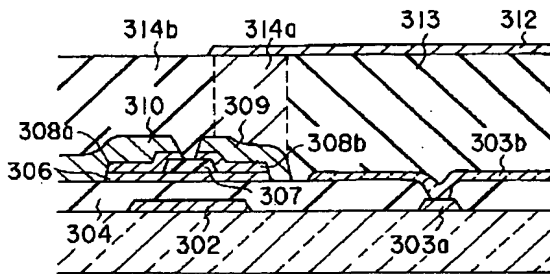


【図28】

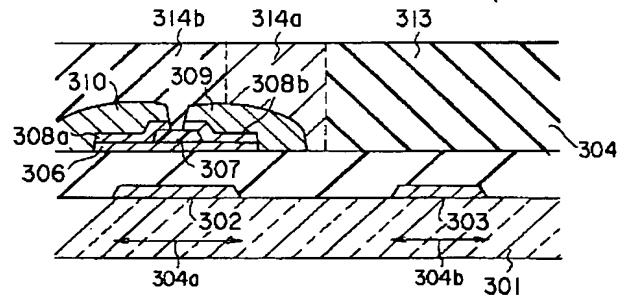


(35)

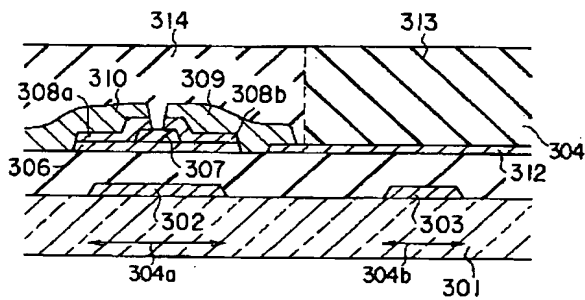
【図31】



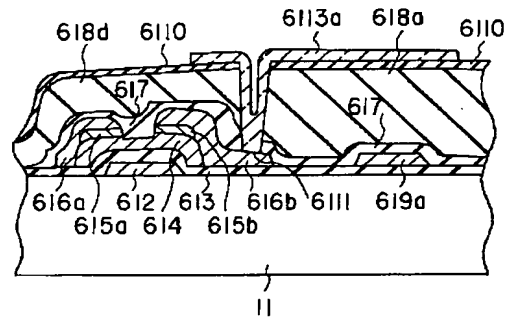
【図33】



【図34】



【図35】



【図36】

